Heft 2 · Februar 2000 · 14. Jahrgang · 14,– DM · 110 öS · 14,– sfr

Besuchen Sie uns auf der Embedded Systems Halle 12 / Stand A16

B 13908

Systeme

ELEKTRONIK-MAGAZIN FÜR CHIP-, BOARD- & SYSTEM-DESIGN

Programmierbare Logik



Echtzeitbetriebssysteme
RTOS auf dem Chip integriert

Logikanalyse
Einfache Bedienung realisiert

Wie man sich (em)bettet...

...so liegt man. Und es scheint so, dass der Embedded-Markt ein »sanftes Ruhekissen« ist. Die Anlehnung an diese alten Sprichworte drängt sich förmlich auf, denn glaubt man den Auguren, wird dieser Markt ein solch rasantes Wachstum aufweisen, dass sich der Erfolg praktisch von alleine einstellt. Ein treibendes Element für das explosionsartige Wachstum ist sicher das Internet, das völlig neue Möglichkeiten und Applikationen für Embedded-Systeme eröffnet.

Ein deutliches Zeichen dafür, dass das Interesse an Embedded-Systemen auch hierzulande kräftig steigt, ist der Erfolg der Messe mit Kongress »Embedded Systems«. In den vier kurzen Jahren ihres Bestehens war diese Veranstaltung von ständigem Wachstum gekennzeichnet. Bereits nach zwei Jahren reichte die Messehalle in Sindelfingen nicht mehr aus – es musste in ein größeres Messegelände umgezogen werden. In Nürnberg wurde der Veranstalter fündig und ist damit auch für die Zukunft gerüstet, denn das Nürnberger Messegelände bietet ausreichend Expansionsmöglichkeiten. Um Ihnen die Planung Ihres Besuchs der Embedded Systems 2000 vom 16. bis 18. Februar in Nürnberg zu erleichtern, haben wir ab Seite 40 einen Messeführer zusammengestellt, in dem die Aussteller mit Hallen- und Standnummer sowie ihren Exponaten tabellarisch aufgelistet sind. Im Anschluss daran finden Sie noch ausführliche Produktberichte. Wir wünschen viel Erfolg, auch wenn ein Besuch der Embedded Systems rein gar nichts mit einem »sanften Ruhekissen« gemein hat.

Dass der »Embedded-Gedanke« auch in andere Gebiete der Elektronikindustrie Einzug hält, zeigt unser Schwerpunkt »Programmierbare Logik« ab Seite 19. Durch die hohe Integrationsdichte, die programmierbare Logikbausteine heute aufweisen – und ein Ende der ständig anwachsenden Logikdichte ist nicht abzusehen – können in ihnen Funktionen eingebettet werden, die bislang in separaten Bausteinen integriert waren. Durch die Integration sinkt der Stromverbrauch, was den Einsatz in batteriebetriebenen portablen Geräten wie z.B Handys, PDA und »wireless Internet Appliances« ermöglicht. Also auf die typischen Erfolgsträger des Embedded-Markts. Allerdings wirft das Design solcher komplexen »Systeme auf einem Chip« einige Probleme auf – im Wesentlichen einen hohen Zeitaufwand. Dies ist bei den heutigen kurzen Produktlebenszyklen ein unhaltbarer Zustand. Deshalb wird versucht, über ein »Baukastenprinzip« vorgefertigte und verifizierte



Funktionen, so genannte Intellectual Property (IP), zusammenzufügen und damit die programmierbaren Bausteine, seien es nun ASICs oder FPGAs, zu füllen. Allerdings hat auch dieses Vorgehen seine Tücken, sodass stets Anpassungsarbeit zu leisten ist. Aber, und da sind sich die Branchenkenner einig, wird künftig kein Weg mehr am Einsatz von IP vobei gehen. Nur so werden sich komplexe »eingebettete Systeme« noch in überschaubaren Zeitspannen entwickeln lassen. Deshalb gilt auch für dieses Marktsegment, »erkenne die Möglichkeiten« und agiere, denn auch dieser Marktbereich ist wahrlich kein »sanftes Ruhekissen«.

Ihr

Wolfgang Patelay

Markt

Titel-Story

Programmierbare Logik

Elektronik-Focus

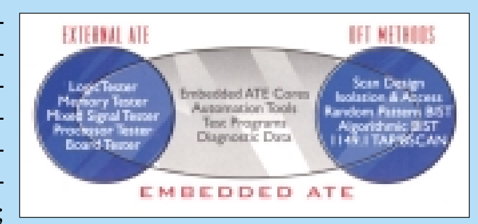
CHIP-DESIGN

BOARD-DESIGN

SYSTEM-DESIGN

Feste Rubriken

Embedded-ATE



Bei den heutigen SoC-Designs, die aus mehreren Millionen Gatteräquivalenten bestehen, erweisen sich traditionelle Testmethoden als zu kostpielig; sie sind zudem nicht mehr in der Lage, eine zufriedenstellende Test-Coverage zu bieten. Um diese Nachteile zu überwinden, hat LogicVision, eine 1992 gegründete und im kalifornischen San José beheimatete Firma, eine Technologie entwickelt, die auf Embedded-ATE basiert und die sich sogar bei Boards und ganzen Systemen einsetzen lässt.

Ab Seite **10**

CAM-Speicherarchitektur im PLD



Noch vor wenigen Jahren eher als exotische Lösung erachtet, findet man in modernen Applikationen verstärkt Architekturen mit inhaltsadressierbaren Speichern (Content Addressable Memories oder kurz CAM). Für nahezu jede Anwendung, in der ein besonders schneller Speicherzugriff gefordert wird, ist eine CAM-Implementierung prädestiniert. Der Geschwindigkeitsvorteil gegenüber herkömmlichen Speichertechniken wird noch erhöht, wenn die CAM-Implementierung direkt auf dem Chip realisiert werden kann. Der folgende Beitrag beschreibt die Grundzüge der CAM-Architektur, stellt entsprechende moderne Appplikationen vor und beschreibt die Implementierung mit Hilfe einer neuen PLD-Familie.

Ab Seite **14**

Forumsdiskussion: programmierbare Logik

Ein großer Vorteil programmierbarer Logikbausteine ist die Flexibilität, die sie den mit ihnen aufgebauten Systemen verleihen. So ist es z.B. möglich, programmierbare Bausteine über das Internet neu zu konfigurieren und damit das System zu aktualisieren. Zudem erreichen programmierbare Logikbausteine Gatterzahlen von bis zu zwei Millionen. Solche Gatterzahlen waren früher ASICs vorbehalten. Damit dringt die programmierbare Logik in Bereiche und Applikationen vor, die bisher den applikationsspezifischen ICs vorbehalten waren. Allerdings sind trotz steigender Gatterzahl auch programmierbare Logikbausteine nicht mehr einfach zu entwickeln. Deshalb kommt den geeigneten Designwerkzeugen steigende Bedeutung zu. Um einen Überblick über die Entwicklungen im Bereich der programmierbaren Logik zu geben, lud die Redaktion Branchen-Insider zu einer Forumsdiskussion ein. Einen Bericht über diese Diskussion zur Zukunft der programmierbaren Logik lesen Sie

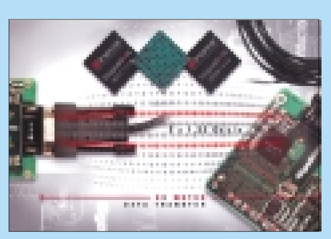
ab Seite **19**

Das Echtzeitbetriebssystem auf dem Chip

Welcher Computer ist heute am allgegenwärtigsten? Der PC auf den Millionen von Schreibtischen im Büro oder zu Hause? Nein, tatsächlich ist es der 68HC05 von Motorola ein winziger 8-Bit-Chip, der bereits in mehr als einer Milliarde Geräten gefunden werden kann. Die Hersteller von Produkten mit Riesenstückzahlen in der Konsum- und Unterhaltungselektronik verwenden riesige Mengen dieser kleinen Einchipbauelemente – vorwiegend aus Kostengründen. Das RTOS SSX5 von NRTA ist das erste kommerziell verfügbare Echtzeitbetriebssystem für Einchipsysteme. Es zeichnet sich aus durch geringe Speicheranforderungen, verbesserte Nutzung der Prozessorzeit und Vorhersagbarkeit des Echtzeitverhaltens.

Ab Seite **54**

Chipsatz für High-Speed-Datenübertragung



Die im Februar 1999 gegründete Inova Semiconductors GmbH präsentiert ihr erstes Produkt, den Chipsatz »GigaSTAR«. Dies ist eine integrierte Lösung zur störungssicheren Hochgeschwindigkeits-Datenübertragung über normale Kupferkabel bis zu einer Entfernung von 20 Metern.

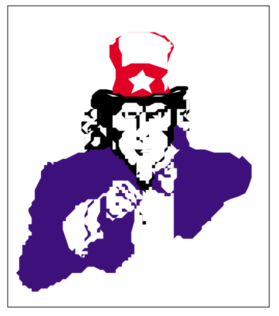
Ab Seite **68**

Embedded-Software-Programmierung

Kurze Entwicklungszeiten und technische Begrenzungen setzen Embedded-Programmierer unter Zeitdruck. Der springende Punkt ist der Konflikt zwischen den Entwicklungskosten und der Zeit bis zur Marktreife des Produkts. So ist aus Gründen restriktiver Budgets oft nur der Einsatz älterer Hardware oder verschiedener Betriebssysteme möglich, die den Entwicklungsprozess behindern. Gleichzeitig binden die für das Endprodukt bereits vereinbarten Liefertermine die Entwickler an einen strengen Zeitplan. Wenn neue Prozessoren neue Software-Tools erfordern, steigt die Belastung weiter.

Ab Seite **78**

Im Fokus: Web-Kennziffern



Haben **Sie** schon unseren neuen **Web-basierenden Kennziffern-Service** genutzt?
Neben der herkömmlichen Art des Info-Faxes bieten wir Ihnen unter der Web-Adresse **www.systeme-online.de/direkt** (aber auch über unsere Home-Page **www.systeme-online.de**) die Möglichkeit, im Internet gezielt nach weiteren Informationen über Sie interessierende Produkte und Technologien zu suchen. Die Funktionsweise dieses neuen Services finden Sie detailliert beschrieben auf den Seiten **110** und **111**.

Lauterbach Datentechnik

Verstärkung mit Home-Office

Lauterbach, Hersteller von Mikroprozessor-Entwicklungssystemen, hat sein Vertriebsteam durch ein Home-Office bei Hannover verstärkt. Dipl.-Ing. Klaus Hommann, seit 1. November 1999 neuer Außendienstmitarbeiter bei der Lauterbach Datentechnik GmbH, ist im gesamten norddeutschen



Raum für alle TRACE32-Produkte verantwortlich. Von seinem Home-Office bei Hannover aus steht er nun allen Kunden als Spezialist für Mikroprozessorentwicklungssysteme mit seinen vielfältigen Erfahrungen zur Seite. Diese hat er sich unter anderem während seiner 17jährigen Zugehörigkeit zur Kontron Elektronik in Eching erworben. Er war dort anfangs Vertriebsingenieur für digitale Messtechnik im Vertriebsbüro Hannover und spezialiserte sich später auf Entwicklungssysteme und Emulatoren. Zuletzt war er bei der Firma Willert Software Tools in Bückeburg als Berater für Debugging-Tools tätig. (pa)

Lauterbach
Tel.: 0 81 04/8 94 30

Systemtechnik an der Maschine

Die Fakultät für Maschinenwesen der TU München

Auf dem Gelände der Technischen Universität München (TUM) in Garching wurden Ende November 1999 die Fakultät für Maschinenwesen und darin besonders der Lehrstuhl ITM (Informationstechnik im Maschinenwesen) mit dem »Automation Competence Center« und dem »Feldbus Competence Center« der Öffentlichkeit vorgestellt.

Im klassischen Maschinenwesen ist heute das Denken in Systemen ebenso wichtig wie in anderen Bereichen der industriellen und Informationstechnik. Professor Dr.-Ing. K. Bender, Dekan der Fakultät für Maschinenwesen an der TUM, zeigte dazu eine Statistik des IEEE (Institut of Electrical and Electronic Engineers), der weltweit größten Ingenieursvereinigung aus der hervorgeht, dass bereits im Jahr 2000 schon 40 Prozent der Kosten für Produktionsanlagen auf Software entfallen, womit die Mechanik (40 Prozent) und die Elektronik (20 Prozent) zu einem Gesamtsystem zusammengefügt werden. Professor Bender umschreibt die Systemtechnik so: »Vor allem die Multidisziplinarität ist es, die sich in den High-Tech-Produkten in Form von Hochleistungswerkstoffen, Mikroelektronik und Software widerspiegelt.«

Im Foyer des ITM sind zwei industrielle Pilotanlagen mit Feldbusvernetzung permanent zur Vorführung und als Forschungsprojekt für Studenden ausgestellt. Die zum großen Teil aus Industriespenden aufgebauten Anlagen zeigen »Open Integration« auf der Steuerungs- und Leitebene mit TCP/IP und auf der Feldebene mit Profibus. Die Anlagen für Fertigungs- und Verfahrenstechnik (Roboter und chemische Anlage) stehen Fachbesuchern und Studenten permanent zur Verfügung.

Die Fakultät für Maschinenwesen bietet mit ihren 28 Lehrstühlen und 800 Mitarbeiterinnen und Mitarbeitern jungen Menschen eine attraktive Ausbildung mit fundierten naturwissenschaftlich-technischen Grundlagen und einer großen Breite (interdisziplinäre Systeme), die zukunftssichere Berufschancen eröffnet. Die Lehrstühle erwirtschaften etwa 40 Millionen Mark im Jahr an Drittmittelerlösen. Die steigende Studentenzahl liegt jetzt wieder bei über 600 Anfängern.

Der hochmoderne Fakultätsneubau wurde auf dem Forschungsgelände Garching von der Bauabteilung von BMW termingerecht und zu den budgetierten Kosten von 505 Millionen Mark errichtet. Die Finanzierung erfolgte zum großen Teil aus Privatisierungserlösen des bayrischen Staats. Der Neubau bietet exzellente Studienbedingungen in gut ausgestatteten Hörsälen und Seminarräumen. In den Labors und Übungsräumen stehen etwa 3000 Rechner für Lehre und Forschung und sogar ein Windkanal zur Verfügung. Studium in Fahrzeugtechnik, Luft- und Raumfahrt, Produktions- oder Verfahrenstechnik, Medizin- oder Informationstechnik, Werkstofftechnik oder Mechatronik und andere Richtungen werden angeboten.

Die Feldbustechnik hat einen hohen Stellenwert am ITM, das von Professor Bender geleitet wird. Bei den großen Maschinen wird die Feldbusvernetzung schon an der einzelnen Maschine benötigt und erst recht im Verbund mit anderen Maschinen und Steuerungsrechnern. Prof. Bender ist Leiter des »Feldbus Competence Center« an der TUM. Es ist keine Überraschung, dass er als Pionier der Profibustechnik zusätzlich ein Profibus-Zertifizierungslabor an seinem Lehrstuhl betreibt.

Als Belohnung ihrer herausragenden Leistung erhielt ein Team von fünf Mitarbeitern des ITM den Innovationspreis der Firma Océ für Arbeiten auf dem Gebiet der Mechatronik im Rahmen des Verbundprojekts SEMI.

(Hermann Strass)

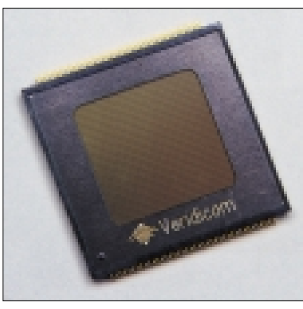
Hermann Strass ist Berater für neue Technologien, insbesondere für Busarchitekturen, Massenspeicher und industrielle Netzwerke, Mitglied in nationalen und internationalen Normungsgremien, in der IEEE Computer Society und im VITA Europe Advisory Board. Er vertritt deutsche Unternehmen bei der Normierung in der VITA (VMEbus) und bei der PICMG (CompactPCI).

Authentifizierungssysteme

Ein Fingerabdruck genügt

Passwörter bieten heute leider nicht mehr die mehr denn je benötigte Sicherheit. Ausgehend von dieser Erkenntnis hat sich Veridicom darauf spezialisiert, Fingerabdrucksensoren, die dazugehörige Erkennungs- und Verarbeitungs-Software sowie ganze Authentifizierungssysteme zu implementieren. Mit dem »Personal Authentication System« offeriert das Unternehmen eine preisgünstige Lösung, die sich für zahlreiche Anwendungen eignet.

Die zunehmende Nutzung des Internets sowie moderner Datenverarbeitungssysteme verleiht der Frage nach einer sicheren Identifizierung des Benutzers sowie der allgemeinen Datensicherheit eine größere Bedeutung als je zuvor. Auch heute noch basieren die meisten Identifizierungsmethoden auf einem Passwort, welches üblicherweise aus einer bestimmten jedoch limitierten Anzahl von Zeichen besteht. Passwörter werden u.a. zum Einloggen in das Internet, zur Nutzung von Geldautomaten und Handys sowie um den Zugriff auf Computerdaten oder die Durchführung von Geldtransaktionen zu ermöglichen, verwendet. Leider sind sie keineswegs so sicher wie erwünscht, da es mittlerweile sogar Internet-Programme gibt, die fähig sind, Passwörter zu »stehlen«. Hinzu kommt, dass sehr viele Laptops verloren oder gar entwendet werden (nur in den USA wurden 1998 über 390.000 Laptops gestohlen), und das ist mit dem unbestreitbaren Risiko verbunden, dass Unbefugte Zugriff auf wichtige Daten erhalten. Und es gibt außerdem mehrere andere Wege, über die man rechtswidrig an das Passwort eines anderen gelangen kann.



Der Sensorchip zur Fingerabdruckidentifizierung von Veridicom

Der menschliche Fingerabdruck ist ein einzigartiges Merkmal einer Person, den man außerdem weder vergessen noch (im Normalfall) verlieren kann. Daher wird er auch vom Gesetz als eindeutiges Identifizierungmittel anerkannt. Davon ausgehend hat Veridicom, ein 1997 als Spin-off von Lucent Technologies in Santa Clara, Kalifornien, gegründetes Unternehmen, seine Firmenstrategie und Produktpalette entwickelt. Das Unternehmen fertigt den FPS110 (Distributor: Hyline), einen ursprünglich von den Bell Laboratories entwickelten Sensorchip, der eine Sensorfläche von 300 x 300 Pixel und eine Auflösung von 500 dpi hat und u.a. aus 90 k Kondensatoren besteht, deren Ladung von den jeweiligen Fingerbeeren abhängt. Er ist, so betont der Hersteller, nicht nur preisgünstig, sondern auch klein und sparsam, denn seine Abmessungen betragen nur 24 x 24 x 2,5 mm², während sich seine Leistungsaufnahme auf rund 100 mW beschränkt. Der OpenTouch-Algorithmus generiert anschließend eine Software-Abbildung vom Fingerabdruck, die Letzteren eindeutig charakterisiert. Um die Sicherheit zu erhöhen, lassen sich auch die Abdrücke mehrerer Finger speichern. Aufbauend auf diesem IC, hat die Firma das Plug-and-Play-PC-Peripheriegerät 5thSense realisiert, das Windows 95/98 unterstützt und über einen USB-Port oder eine serielle Schnittstelle an den Rechner angeschlossen wird. Das kürzlich vorgestellte Personal-Authentication-System, wofür Veridicom bereits die »ThinkPad proven«-Zertifizierung von IBM erhalten hat, besteht aus der Kombination von 5thSense und der Datensicherheits-Software Confirma. Letztere enthält Bildverarbeitungsalgorithmen, eine Funktion für Mustererkennung und -vergleich sowie Applikations-Software für diverse Sicherheits- und Komfortfunktionen. Die kompakte und robuste Lösung mit einer kratzfesten Oberfläche ist ab sofort erhältlich.

(Friedrich Bauer)

Hyline
Tel.: 089/61 45 03 10

Kipp & Zonen

Schreibergeschäft erweitert

Das niederländische Unternehmen Kipp & Zonen hat das Schreiberproduktspektrum von LEM Instruments, Österreich, ein Teil der internationalen LEM-Gruppe, übernommen. Die gesamte Produktion von Schreibern soll zu Kipp & Zonen verlagert werden.

Nachdem sich LEM Instruments Anfang dieses Jahres entschieden hat, sich auf die Bereiche Energiemesstechnik, Energiequalität und verwandte Anwendungen zu konzentrieren, ist der Verkauf der Schreiberproduktpalette Servogor ein logischer Schritt. Kipp & Zonen, einer der Hauptlieferanten von Schreibern, Solarstrahlungs-Messeinrichtungen und wissenschaftlichen Instrumenten für die Erforschung der Atmosphäre, hat bereits 1993 die Fertigung und den Vertrieb aller Schreiberbaureihen von Philips übernommen. Die Servogor-Schreiber ergänzen die bereits im Programm existierenden Flachbett- und Data-Acquisition-Recorder. Kipp & Zonen will damit weltweit das größte Schreiberprogramm für Labor- und Industrieanwendungen anbieten. Das Unternehmen ist ISO-9001-zertifiziert, alle Schreiber haben die CE-Konformitätserklärung. (pa)

Kipp & Zonen
Tel.:
00 31/152 69 80 31

MSC Vertriebs GmbH

Hilfe bei Windows-CE-Projekten

Als autorisierter Systemintegrator für Microsoft Windows CE bietet die MSC Vertriebs GmbH in ihrem Geschäftsbereich PC-Systemtechnik neben BIOS-Anpassungen und der kundenspezifischen Entwicklung von CPU-Baugruppen und Industrie-PCs auch die Anpassung von Windows CE als Dienstleistung für Industriekunden an.

Der bekanntermaßen schwierige Einstieg in die Windows-CE-Thematik wird durch Unterstützung von Seiten des Hardware-Lieferanten MSC erleichtert. Firmen, die CE-basierende Systeme entwickeln wollen, können auf einer PC-Plattform aufsetzen, für die MSC die Anpassung des Betriebssystems und die Skalierung nach Kundenwunsch vornimmt, die notwendigen QS-Tests und Beratung während der Entwicklungsphase eingeschlossen. Der Nutzer kann sich somit auf die Entwicklung seiner Applikation konzentrieren.

Ein Team von Software-Ingenieuren mit langjähriger Erfahrung auf den Gebieten BIOS-Anpassung, Betriebssystem-Anpassung und Treiber-Software-Entwicklung steht zur Verfügung, um potentielle CE-Anwender aus der Automatisierungs-, Maschinenbau-, Mess- und Kommunikationstechnik zu beraten und die jeweils speziell benötigten Adaptionen durchzuführen. Für Kunden, die besondere Hardware-Funktionen auf ihrer Zielplattform benötigen, können die entsprechenden I/O-Treiber entwickelt werden.

Nach Projekten auf Basis von Windows CE 2.11 wird gerade der Umstieg auf die soeben von Microsoft neu eingeführte Version 2.12 durchgeführt. Auch für die angekündigte Version 3.0 und für Windows NT Embedded will man Unterstützung bieten. Eine gleichbleibend hohe Qualität der Entwicklungsergebnisse – auch bei der Software-Entwicklung – wird durch entsprechende Abläufe nach DIN EN ISO 9001 sichergestellt.

Zusammen mit den Bereichen Board-Entwicklung, Systementwicklung, der MSC-eigenen Board- und Systemfertigung und der Distribution von Standardbaugruppen und Elektronikkomponenten kann somit bei allen Projekten, die maßgeschneiderte Unterstützung geboten werden. (pa)

MSC Vertriebs GmbH
Tel.: 0 81 65/90 60

Embedded-ATE

Lösungen auf Systemebene

Bei den heutigen SoC-Designs, die aus mehreren Millionen Gatteräquivalenten bestehen, erweisen sich traditionelle Testmethoden als zu kostpielig; sie sind zudem nicht mehr in der Lage, eine zufriedenstellende Test-Coverage zu bieten. Um diese Nachteile zu überwinden, hat LogicVision eine Technologie entwickelt, die auf Embedded-ATE basiert und die sich sogar bei Boards und ganzen Systemen einsetzen lässt.

Die im kalifornischen San José beheimatete, 1992 gegründete Firma LogicVision konzentriert ihre Aktivitäten auf den Entwurf von Embedded-ATE-Lösungen für ASICs, SoCs, Boards (inkl. Mixed-Signal-Komponenten) sowie komplette Systeme. Sie hat kürzlich ihre europäische Zentrale in Frankreich eröffnet und Jean-Claude Caraes zum Vice President und General Manager Europe ernannt. Dadurch will sie auch europäischen Designern ihre Produkte zugänglich machen.

Mit IC-Strukturen, deren Abmessungen im VDSM-Bereich (Very Deep Sub-Micron) liegen, lassen sich SoCs realisieren, die eine extrem hohe Funktionsdichte aufweisen und daher letztendlich die Kosten der Endprodukte reduzieren. Um solche Chips effizient und bei vertretbarem Kostenaufwand zu testen, reichen jedoch herkömmliche automatische Testverfahren nicht mehr aus, da der damit verbundene Aufwand und folglich die entsprechenden Kosten, sehr stark zunehmen und daher die Vorteile von SoCs wieder zunichte machen. So liegt z.B. der Preis für ein hybrides, multifunktionales ATE-System bei rund fünf Millionen Dollar. Die Auswirkungen dieser Schwierigkeiten vervielfachen sich auf Board- und Systemebene und stellen bereits ein beachtliches, konkretes Problem dar.

Ausgehend von diesen Tatsachen hat LogicVision eine Familie von Lösungen entwickelt, bei denen DFT-Techniken sowie entscheidende ATE-Teile, Diagnose- und Debugging-Funktionen im Produkt selbst eingebettet werden (Bild 1): Dazu gehören unter anderem Scan-, Boundary-Scan- und BIST-Elemente. Dadurch werden erhebliche Anteile des traditionellen Test-Equipments überflüssig. Embedded-ATE ermöglicht außerdem ein präzises Hochgeschwindigkeits-Timing beim At-Speed-Test. Mit Embedded-ATE lassen sich auf IC-Ebene eingebettete Speicher, Random-Logik, verschiedenartige Cores (inkl. der Mixed-Signal-Cores) sowie I/Os, die Verdrahtung und Speichermodule auf Systemebene testen, diagnostizieren und debuggen (Bild 2). Hinzu kommt, dass – da die wesentlichen Teststrukturen eingebettet sind – das Testen für die gesamte Lebensdauer des Produkts erleichtert wird. Bei einem IC mit über einer Million Gattern nimmt die Chipfläche wegen der eingebetteten ATE-Elemente, nur um rund 2 Prozent zu. Nicht übersehen werden darf hier auch die Tatsache, dass diese Technik keine Veränderung der üblichen Designmethoden verlangt. (fb)

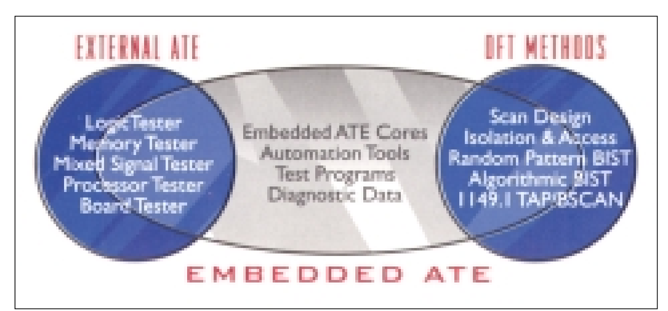


Bild 1: Das Prinzip, auf dem Embedded-ATE basiert, ist einfach: Wesentliche Elemente vom gängigen ATE sowie der üblichen DFT-Methoden werden im IC direkt integriert.

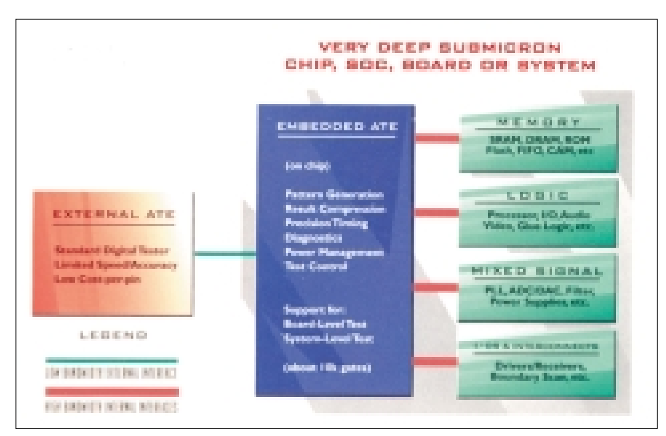


Bild 2: Das Struktogramm verdeutlicht den Einsatz von Embedded-ATE beim SoC-, Board- und Systemdesign

LogicVision
Tel.: 00 33/1 45 47 01 24

Infineon geht an die Börse

Ertragswende geschafft

Mit einer Umsatzsteigerung von 33 Prozent im Geschäftsjahr 1999 im Vergleich zum Vorjahr will Infineon auf Platz 8 der Weltliga der Halbleiterhersteller vorrücken.

Auf ihrer ersten Bilanzpressekonferenz als eigenständiges Unternehmen hat die Infineon Technologies AG ihren Jahresabschluss für das abgelaufene Geschäftsjahr 1999 (30. September) veröffentlicht: Infineon (ehemals Siemens Halbleiter) hat dank strategischer und operationeller Fortschritte, unterstützt durch die anziehende Konjunktur des Halbleitermarkts, die Ertragswende geschafft. Dem durch Restrukturie-

rungsaufwendungen und eine schwierige Situation bei Speicherchips erheblich beeinträchtigten Ergebnis von minus 790 Millionen Euro im Jahr 1998 steht jetzt ein Konzernüberschuss von 69 Millionen Euro gegenüber. Das Bruttoergebnis stieg von 448 Millionen Euro auf 1,26 Milliarden Euro. Der Umsatz kletterte um 33 Prozent auf ein Niveau von 4,24 Milliarden Euro (Vorjahr: 3,18). Damit liegt Infineon deutlich über dem Branchenwachstum, das WSTS (World Semiconductor Trade Statistics) für 1999 auf 16 Prozent schätzt. Marktbeobachter erwarten, dass Infineon im Kalenderjahr 1999 von Platz 10 auf Platz 8 der umsatzstärksten Halbleiterhersteller vorrücken könnte. Der Auftragseingang erzielte mit 43 Prozent auf 4,89 Milliarden Euro eine noch höhere Steigerungsrate, die den Aufschwung des Halbleitergeschäfts reflektiert.

Der Gesamtumsatz wurde von starkem Wachstum in allen Bereichen getragen. Die größten Zuwachsraten erzielten die Produktgruppen Speicherbausteine mit plus 86 Prozent, Sicherheits- und Chipkarten-ICs (plus 33 Prozent) und Chips für die drahtlose Kommunikation (plus 24 Prozent).

Wichtigste Umsatzregion war Europa mit fast 60 Prozent des Gesamtumsatzes. Davon entfiel etwa je die Hälfte auf Deutschland und auf den Rest Europas. Die Vertriebsregionen USA und Asien/Pazifik haben jeweils rund 20 Prozent zum Konzernumsatz beigetragen und verzeichneten infolge der Globalisierungsstrategie der letzten Jahre wieder hohe Steigerungsraten.

Die F&E-Aufwendungen betrugen 739 Millionen Euro und lagen mit 17,4 Prozent leicht über dem Branchendurchschnitt. Infineon beschäftigt derzeit weltweit etwa 26.000 Mitarbeiter.

Dr. Ulrich Schumacher, Vorstandsvorsitzender von Infineon, kommentierte das positive Jahresergebnis: »Die Zahlen beweisen, dass unsere konsequente Ausrichtung auf die Wachstumsmärkte im Logiksegment Früchte trägt und die Produktivitätsverbesserungen greifen. Außerdem hat sich der Markt besonders zum Ende des Geschäftsjahres belebt, und wir gehen von einer Fortsetzung dieser erfreulichen Entwicklung aus.« Infineon wolle vom kommenden Marktaufschwung überdurchschnittlich profitieren. Dr. Schumacher: »Gerade die schnell wachsenden Produktsegmente wie beispielsweise drahtlose Kommunikation und Internet-Applikationen werden das künftige Geschäft entscheidend treiben. Infineon geht mit starkem Wachstum an die Börse.« Infineon plant seinen Börsengang für März im amtlichen Handel in Frankfurt und an der New York Stock Exchange (NYSE).

Um Geschäftsentwicklungen in attraktiven Märkten zu forcieren, wird sich der Venture-Capital-Bereich von Infineon in Zukunft verstärkt als Wagniskapitalgeber engagieren. Seit der Gründung Ende 1998 hat sich Infineon Ventures an zehn High-Tech-Start-ups in den USA, Europa und Israel beteiligt. Infineon Ventures bringt nicht nur Kapital in Form von Minderheitsbeteiligungen ein, sondern auch technologische und produktionstechnische Erfahrung sowie den Zugang zu relevanten Absatzmärkten. Auswahlkriterium für eine Investition ist neben der Erwartung einer entsprechenden Rendite auch die Möglichkeit, die modernen Technologien von Infineon nutzen zu können. (pa)

Infineon
Tel.: 089/23 42 65 55

Embedded-Datenbanken

Centura vertreibt Raima-DB-Technologie

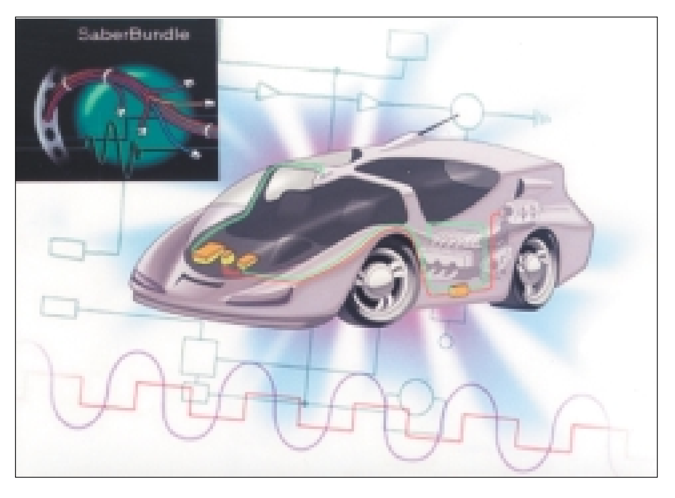
Die Centura Software GmbH hat den Vertrieb der Raima-Datenbank-Technologie in Deutschland, Österreich und der Schweiz übernommen. Damit schließt Centura die Eingliederung des Velocis Database Server und Raima Database Manager (RDM) in das eigene Produktportfolio ab. Die Support-Abteilung von Raima Deutschland wird als Geschäftsbereich Raima Competence Center von Centura weitergeführt und bleibt am Standort Nürtingen. Centura konzentriert sich auf den Vertrieb der Produkte und das Competence Center auf die technische Betreuung. Velocis ist ein Embedded-Client-/Server-Datenbank-Managementsystem, das symmetrisches Multiprocessing und Multi-Threading für Server-Prozesse unterstützt. Der Server ist für Windows 32-Bit, Linux und andere gängige Unix-Systeme erhältlich. RDM ist ein Embedded-Datenbank-Managementsystem, der Database-Manager kann an beliebige Betriebssysteme angepasst werden. (pa)

Raima
Tel.:0 70 22/92 56 44

Analyse des Kabelbaumdesigns

Entwicklungs-Tool erweitert

Die Erstellung von Kabelbäumen unterstützt SaberBundle, die neueste Erweiterung des Entwicklungs-Tools SaberHarness von Analogy. Unabhängig davon, ob Autos, Satelliten oder Audio-/Videogeräte entwickelt werden, müssen sich Ingenieure bereits in den Anfangsphasen eines Designs Gedanken über den Kabelbaumentwurf machen. Der Kabelbaum muss so ausgelegt sein, dass er sämtlichen im System anfallenden Anforderungen gerecht wird, zum Beispiel den fließenden Strömen oder der geforderten EMV-Störsicherheit.



SaberBundle erzeugt die 2D-Bundle-Zeichnungen, die von den Kabelbaumherstellern benötigt werden, um einen Kabelbaum mit den richtigen Kabelabmessungen, Längen, Verbindern, Spleißstellen und nicht-elektrischen Elementen wie Gummimuffen zu fertigen.

Durch eine leichte Bedienbarkeit und hohe Funktionalität wie das Ändern oder Hinzufügen von Verbindern, Verschieben von Spleißstellen für eine optimale Fertigung oder die Neudefinition von Kabelläufen kann der Entwickler seinen Entwurf auf seine Wünsche hin anpassen. In SaberBundle erstellte Zeichnungen lassen sich mit Formaten wie beispielsweise DXF exportieren.

Der Saber-Entwicklungsumgebung liegt eine einzige Datenbank zu Grunde. Dies bedeutet, dass jede Änderung in SaberHarness unmittelbar in SaberBundle sichtbar ist und umgekehrt. Damit können redundante Einträge von Daten eliminiert werden, das Risiko von Fehlern reduziert sich.

SaberBundle ist sowohl für Windows NT als auch für Unix erhältlich. (pa)

Analogy
Tel.: 08 11/6 00 93 22

Avnet wird Philips-Franchise-Partner

Going global

Einen mit über eine Milliarde Dollar bezifferten weltweiten Konzessionsvertrag über die nächsten drei Jahre haben Philips Semiconductors und Avnet unterzeichnet.

Die Vereinbarung ist das erste weltweite Distributions-Agreement, welches von Philips Semiconductor abgeschlossen wurde. Avnet ist damit auf weltweiter Ebene befugt, Halbleiter und Silicon-Systems von Philips anzubieten und zu verkaufen. Die beiden Unternehmen arbeiten an gemeinschaftlichen Marketing- und Verkaufsaktivitäten, globalen Logistikstrategien und E-Business-Lösungen, die den Kundenservice verbessern sollen. Avnet war bislang Distributionspartner von Philips in Nordamerika, Europa und einigen Ländern Asiens. Die Stärken lagen bei Logikbausteinen, diskreten Bauelementen und Microcontrollern. Nun soll das Lieferprogramm um weitere Kernprodukte wie ASICs sowie Kommunikations- und Consumer-ICs erweitert werden. Für Arthur van der Poel, CEO bei Philips Semiconductor, ist Avnet als weltweit agierender Distributor der richtige Partner: »Als Teil einer erfolgreichen Zusammenarbeit müssen wir rasch auf globale Marktchancen reagieren können und transparente Geschäftspraktiken schaffen. Zum Geschäftsmodell von Avnet gehören Innovation, Verantwortung und moderne Logistik, und dies hat dazu beigetragen, uns für Avnet als unseren ersten Global-Franchise-Partner zu entscheiden.«

Philips ist dabei, seine Sales-Strategien von einer regionalen Struktur hin zu einer global agierenden Organisation zu verändern. Teil dieser neuen Ausrichtung ist eine wesentliche Ausweitung der Distributionsaktivitäten. Dabei setzt man neben regionalen Distributoren jetzt vor allem auch auf weltweit agierende Franchise-Partner. (pa)

Philips
Tel.: 040/23 53 63 04

Java-Konferenz

Alles dreht sich um Java

Vom 13. bis 15. März findet die erste »SIGS Conference for Java Development« in London statt. Die Veranstaltung wurde bereits mehrmals erfolgreich in den USA durchgeführt. Es werden über 30 Sessions angeboten, die von den weltweit renommiertesten Fachleuten abgehalten werden und über die allerneuesten Technologien und Trends informieren sollen. Die Konferenz wird begleitet von einer zweitägigen Ausstellung. (pa)

SIGS
Tel.:
00 44/13 06 6313 31

Industrie-PCs

I-BUS eröffnet Vertriebsbüro

Mit einem neuen Vertriebsbüro für Deutschland Mitte in Obernburg bei Aschaffenburg hat die I-BUS Deutschland GmbH, Olching bei München, ihre Sales-Organisation weiter ausgebaut. Als Gebietsverkaufsleiter wurde Burkhard Specht bestimmt. Er verfügt bereits über eine langjährige IPC-Erfahrung, zuletzt im Vertrieb bei Texas Micro, und wird zukünftig insbesondere die PLZ-Gebiete 4, 5 und 6 betreuen. I-BUS zählt zu den weltweit agierenden Herstellern von Industrierechner-Lösungen für die Automatisierungs- und Medizintechnik sowie für die Telekommunikation mit eigener Fertigung in Europa, USA und Asien. Das Produktspektrum umfasst neben leistungsstarken Single-Board-Rechnern und robusten Chassis vor allem auch fehlertolerante und PC-kompatible 19-Zoll-Plattformen sowie modulare CompactPCI-Systeme. Neben Komponenten liefert I-BUS auch schlüsselfertig konfigurierte Rechner sowie Gehäuse im Custom-Design. (pa)

I-BUS
Tel.: 0 60 22/68 77 68

TTI

Lee Stinson wird Vice President



Der auf passive Bauelemente und Steckverbinder spezialisierte Distributor TTI hat Lee Stinson zum Vice President European Strategic Accounts ernannt. Lee Stinson war zuvor European General Manager. Im Bewusstsein, wie wichtig die weltweiten Kunden bei der Verwirklichung des Umsatzziels in Europa von 100 Millionen Dollar in den nächsten vier Jahren sind, wird Stinson eine neue Abteilung aufbauen, um alle Aspekte multinationaler Kunden zu koordinieren und zu bearbeiten. Der neue Bereich wird außerdem verantwortlich sein für Mehrwertprogramme und das Geschäft mit dem Militärsektor in Europa. TTI hat seinen Umsatz in Europa im letzten Jahr auf 24 Millionen Dollar verdoppelt und hat in den vergangenen neun Monaten sechs neue Niederlassungen eröffnet. (pa)

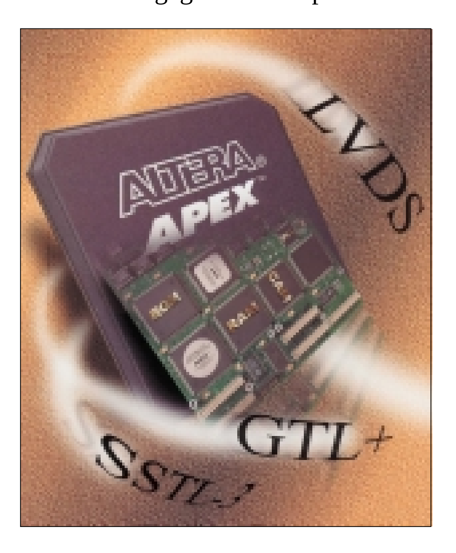
TTI
Tel.: 089/89 0153 70

Effektive Speicherimplementierung mit modernen PLDs

CAM-Speicher-architektur im PLD

Noch vor wenigen Jahren eher als exotische Lösung erachtet, findet man in modernen Applikationen verstärkt Architekturen mit inhaltsadressierbaren Speichern (Content Addressable Memories oder kurz CAM). Für nahezu jede Anwendung, in der ein besonders schneller Speicherzugriff gefordert wird, ist eine CAM-Implementierung prädestiniert. Der Geschwindigkeitsvorteil gegenüber herkömmlichen Speichertechniken wird noch erhöht, wenn die CAM-Implementierung direkt auf dem Chip realisiert werden kann. Der folgende Beitrag beschreibt die Grundzüge der CAM-Architektur, stellt entsprechende moderne Appplikationen vor und beschreibt die Implementierung mit Hilfe einer neuen PLD-Familie.

Im Allgemeinen erhalten und speichern Speicherbausteine Daten, die einen spezifischen Speicherort adressieren. In vielen Systemen kann dieser Datenpfad zu einem Engpaß werden, wenn ein schneller Speicherzugriff gefordert ist. Die Zeit, die erforderlich ist, um eine Information zu finden, die im Speicher abgelegt ist, kann deutlich reduziert werden, wenn die Information nicht über ihre Adresse, sondern über ihren Inhalt identifiziert wird. Ein Speicher, der über den Inhalt organisiert ist, heißt inhaltsadressierbarer Speicher oder CAM. Gegenüber anderen Speicher-Suchalgorithmen, die mit Binär- bzw. Baumstrukturen oder Tag-Puffern arbeiten, bietet CAM die bessere Performance, indem die gesuchte Information gegen die komplette Liste der vorher gespeicherten Einträge verglichen wird – und zwar gleichzeitig. Damit kann die Suchzeit oft um eine Größenordnung reduziert werden. CAM benötigt keine Adressleitungen, um die Daten zu finden – daher kann die Datentiefe beliebig erweitert werden, nur limitiert durch die physikalische Größe des Speichers. CAM-Architekturen sind prädestiniert für Anwendungen wie Ethernet-Adressierung, Datenkompression, Mustererkennung, Cache-Tags oder Adressfilter mit hoher Bandbreite. Weitere Anwendungen sind die schnelle Prüfung von Routing-, Nutzer-, Sicherheits- und Verschlüsselungsinformationen in schnellen Daten-Switches, Firewalls, Bridges und Routern.



Da die CAM-Architektur aus der RAM-Technologie entstanden ist, ist ein Vergleich mit RAM sinnvoll, um CAM besser zu verstehen. RAM ist eine integrierte Speichertechnologie für die temporäre Speicherung von Daten. Im RAM werden die Daten an einem speziellen Ort – ihrer Adresse – gespeichert. Beim RAM liefert der Anwender die Adresse und bekommt dann die dort gespeicherten Daten zurück. Die Anzahl der Adressleitungen limitiert beim RAM die Speichertiefe, während die Speicherbreite praktisch beliebig erweitert werden kann. Der CAM benötigt keine Adressleitungen, um die Daten zu finden – daher kann die Speichertiefe eines CAM-Systems beliebig erweitert werden. Hier ist die Speicherbreite durch die physikalische Größe des Speichers beschränkt.

Ein CAM ist anders als ein RAM organisiert. Beim CAM werden die Daten »Random-artig« an den jeweiligen Orten gespeichert. Ein Adressbus kann den Ort auswählen, oder die Daten werden direkt in dem ersten freien Speicherort abgelegt. Jeder Ort verfügt über ein paar spezielle Status-Bits, die darüber informieren, ob der Speicherort gültige Daten enthält, leer ist oder überschrieben werden kann. Wenn Information in einem Speicherort abgelegt ist, dann kann sie jederzeit durch einen Vergleich der Bits im Speicher mit den Daten, die sich in einem speziellen Vergleichsregister befinden, gefunden werden. Diese Vergleiche erfolgen parallel.

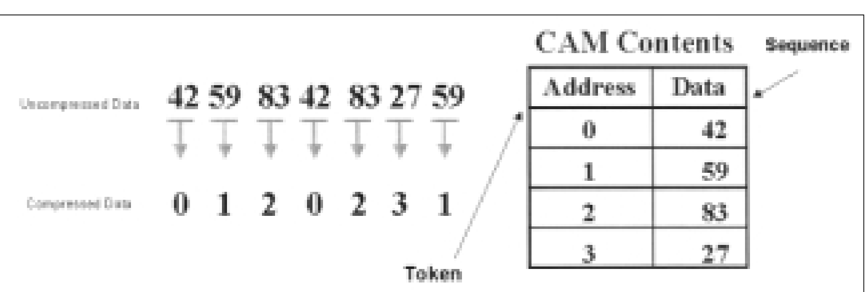


Bild 1: CAM-Speichertechnik bei der Datenkompression

Stimmen die Daten in einem Speicherort mit den Daten im Vergleichsregister überein, dann wird ein Match-Flag gesetzt, um dem Anwender anzuzeigen, dass die Daten gefunden wurden. Die folgenden Operationen können dann auf Basis von Flag-Words arbeiten. Beispielsweise kann ein Wort nach einer gegebenen Zeit oder wenn auf eine bestimmte Bit-Position geschrieben wird, ausgegeben werden. Ein CAM-Speicher kann daher als ein paralleler Daten- oder SIMD-Prozessor (Single-Instruction/Multiple-Data) angesehen werden. Liegt bei mehr als einem Speicherort Übereinstimmung vor, dann bestimmt

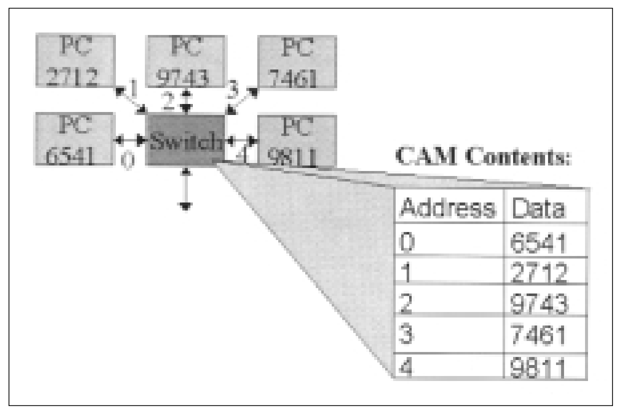


Bild 2: Netzwerk-Switch mit CAM

ein Prioritäts-Encoder, welcher Ort die höhere Priorität hat, und macht dann die Adresse des entsprechenden Orts für den Anwender verfügbar. Der komplette Vergleich und die folgende Datenausgabe erfolgt in einem Speicherzyklus. Das Interesse an CAM nimmt ständig zu. Laufend eröffnen sich neue Applikationen wie in LANs, Datenbank- und File-Speichermanagement, voll assoziativen und prozessorspezifischen Cache-Speichern sowie Disk-Cache-Speichern. Obwohl CAM für viele Applikationen in Frage kommt, ist er doch ganz besonders für Suchoperationen prädestiniert – im Folgenden einige Beispiele dazu.

Bei der Datenkompression werden redundante Daten entfernt, um für eine gegebene Information entsprechende aber komprimierte Daten zu erhalten. CAM ist für die Datenkompression besonders gut geeignet, da die Übertragung von Datenpaketen über LANs oder WANs eine spezielle Form von Adressübersetzung erfordert. Der Kompressionsalgorithmus benötigt einen Teil seiner Rechenzeit für das Auffinden und die Verfolgung der Datenstrukturen. Wird die Suchfunktion jedoch in Hardware implementiert, dann kann die Durchsatzrate des Algorithmus deutlich verbessert werden. Bei einer Datenkompressions-Applikation wird die CAM-Suche durchgeführt, nachdem jedes Wort der ursprünglichen Daten dargestellt ist (Bild 1). Wenn der entsprechende Code zu dem Word-Bit-Muster des Eingangsregisters gefunden wurde, dann wird das dazugehörige Symbol (bzw. Token) ausgegeben und das Eingangsregister geleert. Falls der Code nicht gefunden wurde, dann wird ein anderes Wort in das Register geladen. Der CAM wird ein Ergebnis in einer einzigen Transaktion liefern, unabhängig von der Größe der Tabelle und der Länge der Suchliste. Damit ist eine CAM-Architektur der ideale Ansatz für Datenkompressions-Schemata, die Tabellen (mit nicht zu umfangreichen Inhalten) als Teil des Algorithmus nutzen.

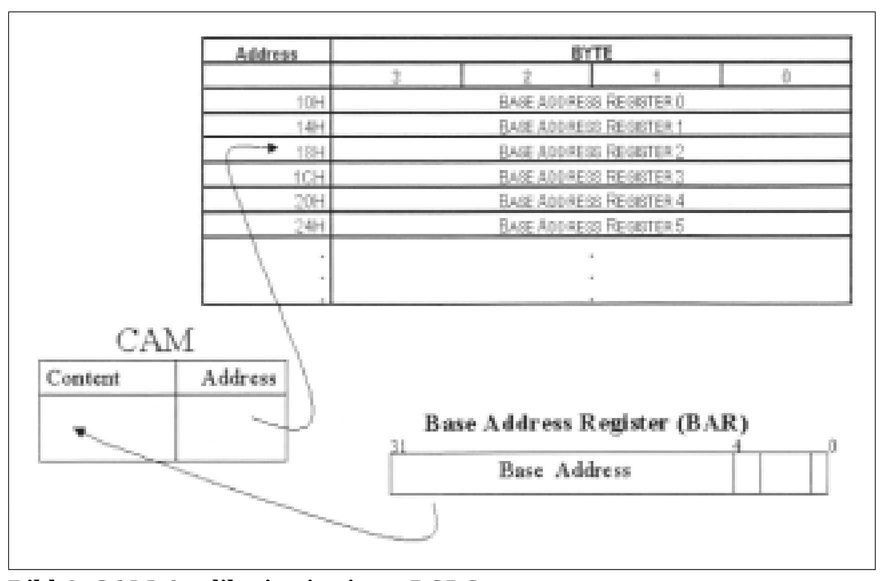


Bild 4: CAM-Applikation in einem PCI-System

CAM-Speicher werden in Switch-Applikationen eingesetzt, um die Adressinformationen aus den eingehenden Datenpaketen zu extrahieren bzw. zu verarbeiten. Um das Paket an den korrekten Ausgangs-Port zu legen, vergleicht der CAM die Zieladresse mit einer Tabelle von gespeicherten Adressen. Beispielsweise können im CAM die Ethernet-Adresse und die Switch-Port-Nummern gespeichert sein. Der CAM vergleicht nun die eingehenden Daten mit den abgespeicherten Daten in der Tabelle: Bei Übereinstimmung wird die Port-Identifizierung ausgegeben und das Datenpaket an den korrekten Port bzw. Adresse weitergeleitet (Bild 2).

Ein IP-Filter ist eine Sicherheitsfunktion, die den unerlaubten Zugriff auf LAN-Ressourcen verhindert bzw. den Datenverkehr auf einem WAN-Link (IP-Traffic, der durch den Router geht) einschränkt. IP-Filter können z.B. dazu genutzt werden, um die Arten des Internet-Datenaustausches mit Zugriff auf ein LAN zu begrenzen. Außerdem können LAN-Workstations auf bestimmte internet-basierende Applikationen (wie E-Mail) beschränkt werden. Hier arbeitet der CAM als Filter, der alle Zugriffe blockiert, mit Ausnahme derer, die entsprechend der Vorgaben im IP-Filter eine spezielle Berechtigung haben. In dieser Applikation vergleicht der CAM das Datenpaket, das am Port anliegt, mit den im IP-Filter definierten Vorgaben. Wird eine Übereinstimmung festgestellt, dann wird das Paket entweder akzeptiert oder abgelehnt (Bild 3).

In einem System mit dynamischem Memory-Mapping kann der CAM dazu eingesetzt werden, die Speicheradressen für einen schnellen Zugriff zu speichern. Beispielsweise kann in einem PCI-System ein einziger PCI-Baustein bis zu sechs spezifische Speicherbereiche im Systemspeicher haben. Der exakte Ort dieser Speicherbereiche wird beim Einschalten be-

Filter Rule

CAM

Address	Data
0	01
1	27
2	3A
3	4D

Routed Packet	Permission
27	Permit
3A	Permit
4F	Denied
25	Denied

Bild 3: CAM als IP-Filter

Hochdichte PLDs für System-Level-Integration

Mit der Einführung der APEX-Familie ermöglicht Altera die System-Level-Integration auf einem einzigen programmierbaren Logikchip. Zusammen mit den entsprechenden Entwicklungs-Tools wie der Quartus-Software und den umfangreichen IP-Megafunktionen lassen sich so effektiv SOPC-Applikationen (System-on-a-Programmable-Chip) realisieren. Innerhalb der APEX-Familie stehen Bauelemente mit über 2,5 Millionen Systemgattern zu Verfügung. Die 2,5-V-Versionen der APEX-PLDs werden in einem 0,22-µm-Prozess und die 1,8-V-Versionen in einem 0,18-µm-Prozess mit jeweils sechs Metall-Lagen gefertigt.

Die spezielle APEX-Architektur beinhaltet drei verschiedene PLD-Strukturen: Die Look-up-Table-Logik (LUT) der FLEX-10K- und FLEX-6000-Bauelemente, die Produktterm-Logik der MAX-7000-Familie und die Enhanced-Embedded-Memory-Blocks der FLEX-10KE-Bauelemente. Diese so genannte MultiCore-Technologie bringt auch eine völlig neue Logikhierarchie mit sich – die MegaLAB-Struktur. Jedes MegaLAB-Element enthält 16 Logic-Array-Blocks (LABs), die wiederum aus zehn Logikelementen aufgebaut sind und für die Implementierung der LUT-Logik optimiert sind. Darüber hinaus ist ein sogenannter Embedded-System-Block (ESB) in den MegaLABs enthalten. Die 16 LABs und der ESB werden über das MegaLAB-Local-Interconnect miteinander verbunden, ohne globale Routing-Ressourcen zu benötigen. Die MegaLAB-Strukturen werden dann über das FastTrack-System miteinander verbunden, das schnelle und definierte Verzögerungszeiten ermöglicht.

Der ESB ist das Herz der MultiCore-Architektur. Die 2048 programmierbaren Bits jedes ESB können als Produktterm- oder LUT-Logik sowie als Speicher (Dual-Port-RAM, ROM oder CAM) konfiguriert werden. Der APEX-ESB unterstützt Dual-Port-RAMs mit unabhängigen Lese-/Schreib-Ports, synchronem oder asynchronem RAM-Betrieb sowie bis zu 161-MHz-FIFO-Konfigurationen. Darüber hinaus werden verschiedene Speicherorganisationen unterstützt wie 128 x 16, 256 x 8, 512 x 4, 1024 x 2 oder 2048 x 1. Mehrere ESB können kombiniert werden, um noch größere Speicher zu realisieren.

Für die APEX- und FLEX-10-K-Familien steht für die effektive Systemimplementierung eine umfangreiche und ständig erweiterte IP-Unterstützung zur Verfügung. Das Spektrum an Megafunktionen umfasst dabei Prozessoren (16 und 32 Bit, konfigurierbarer 32-Bit-Mikroprozessor), DSP-Funktionen (FIR-Filter, Image-Processing, Reed-Solomon-De-/Encoder, Viterbi-Decoder oder Block- und Convolutional-Interleaver/De-Interleaver), Kommunikationsfunktionen (Ethernet-MAC, HDLC, ATM, UTOPIA etc.) sowie PCI- und Peripheriefunktionen.

Mit der neuen Quartus-Software steht auch die erforderliche Entwicklungsumgebung bereit, um die Entwicklung mit den komplexen Logikbausteinen der APEX-Familie auch schnell und effizient durchführen zu können. Das Tool-Paket umfaßt u.a. eine integrierte Logikanalyse, inkrementales Recompilierung, Workgroup-Unterstützung, EDA-Tool- und IP-Integration sowie Multiprozessor-Support.

stimmt, wobei ihre Startadressen in das PCI-Interface BAR (Base Address Register) geschrieben werden. Wenn ein Master-Interface Zugriff auf einen Speicherort des PCI-Bausteins erfordert, kann der CAM dazu verwendet werden, um schnell die Anforderung an die Speicheradresse weiterzugeben.

Für CAM gibt es prinzipiell zwei Hardware-Lösungen: individuelle oder diskrete Bauelemente sowie On-Chip-Implementierungen. Externe CAM-Komponenten sind seit Ende der 80er Jahre als relativ spezielle Speicherbausteine verfügbar. Wurden CAM-Funktionen erforderlich, hat man diese CAM-Bauelemente auf den Boards implementiert. On-Chip-Implementierungen für CAM in Form von Embedded-Funktionen sind dagegen erst seit kurzem verfügbar. Ein Beispiel für die On-Chip-CAM-Funktionalität sind die APEX20KE-Bausteine von Altera. Hier kann der CAM über die Embedded-System-Blocks (ESB) des APEX20KE implementiert werden. Bild

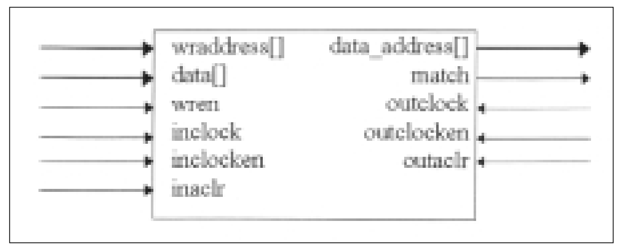


Bild 5: APEX-20KE-CAM-Blockdiagramm

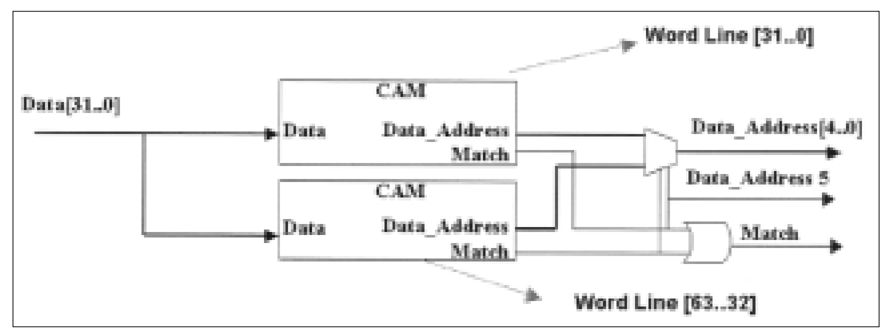


Bild 6: Mehrere CAM werden über den Encoded-Ausgang verbunden und bilden CAM-Speicher mit größerer Speichertiefe

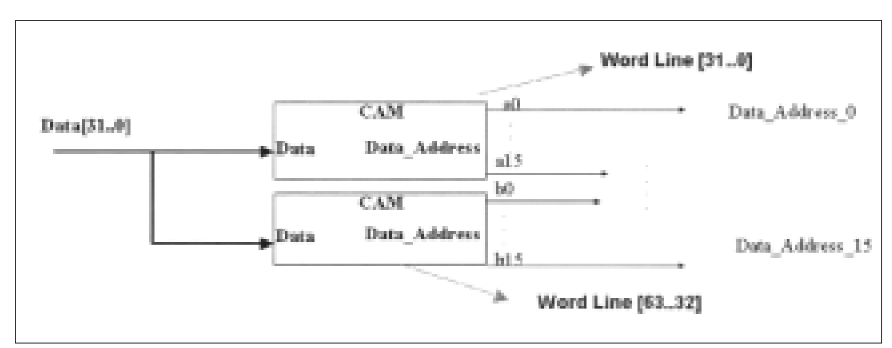


Bild 7: CAM mit größerer Speichertiefe: Mehrere CAMs werden über den Unencoded-Ausgang verbunden.

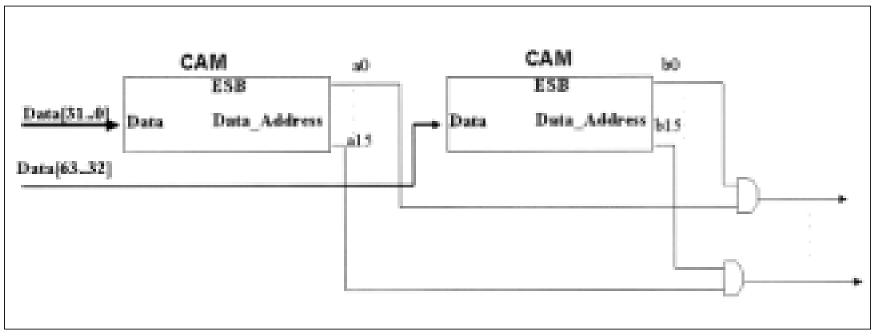


Bild 8: Unencoded-Ausgänge werden verbunden, um CAM-Speicher mit größerer Speicherbreite zu erhalten

5 zeigt das APEX20KE-CAM-Blockdiagramm. Jeder ESB in einem APEX-20KE-Baustein unterstützt einen 1 KBit CAM (32 Worte je 32 Bit). Breitere oder tiefere CAM-Speicher können implementiert werden, indem mehrere CAMs über die Logik-Ressourcen des Bausteins kombiniert werden. Mit der Entwicklungs-Software Quartus von Altera werden die ESBs automatisch kombiniert, falls der Anwender größere CAMs benötigt. Die Anzahl der ESBs in einem APEX 20KE reicht von 26 bis 264, wobei der erste verfügbare APEX-Baustein 104 ESBs bietet.

Um CAM-Speicher mit größerer Tiefe in einem APEX 20KE realisieren zu können, wird der Ausgang von mehreren ESBs miteinander kaskadiert. Dabei können sowohl ESB-Implementierungen mit Encoded- als auch Unencoded-Ausgang genutzt werden. Bild 6 zeigt ein Beispiel für einen CAM mit 64 Worten x 32 Bit und Encoded-Ausgängen, während in Bild 7 die Implementierung mit Unencoded-Ausgängen dargestellt ist. Will man CAM-Speicher mit größerer Breite implementieren, dann werden in den APEX 20KE die Unencoded-Ausgänge genutzt, um die ESBs zu kaskadieren. Bild 8 zeigt ein Beispiel für einen CAM-Speicher mit 32 Worten x 64 Bit und einer Implementierung mit Unencoded-Ausgängen. Bei der Kaskadierung der ESBs wird das erste Bit des ersten ESB per AND-Verknüpfung mit dem ersten Bit des zweiten ESB verbunden usw.

Ein im APEX 20KE implementierter CAM kann entweder bei der Konfiguration des APEX-Bausteins mit Daten geladen oder während des Systembetriebs beschrieben werden. In den meisten Fällen sind zwei Taktzyklen erforderlich, um ein Wort in den CAM zu schreiben. Der »APEX 20KE CAM« unterstützt das Schreiben von so genannten »Don't care-Bits« in die Speicherworte. Diese Bits können als Maske für CAM-Speichervergleiche genutzt werden. Jedes Bit, das als »don't care« gesetzt wird, hat keinen Einfluss auf die Vergleiche. Wenn »don't-care-Bits« eingesetzt werden, dann ist ein dritter Taktzyklus erforderlich, um ein Wort in den CAM zu schreiben. Der Ausgang des CAM kann »encoded« oder »unencoded« sein. Im Encoded-Status gibt der ESB eine codierte Adresse des Datenspeicherplatzes aus. Encoded-Ausgänge sind speziell für Designs geeignet, die sicherstellen, dass kein duplizierter Ausgang vorhanden ist. Falls duplizierte Daten in verschiedene Speicherplätze geschrieben werden, dann ist ein Unencoded-Ausgang erforderlich. Der ESB nutzt seine 16 Ausgänge und liest die Ausgänge innerhalb von zwei Taktzyklen. Systemdesigns, die den On-Chip-CAM des APEX 20KE nutzen, profitieren von der besseren Systemgeschwindigkeit gegenüber diskreten CAM-Bausteinen, da die entsprechenden Off-Chip-Verzögerungen entfallen.

Für viele Applikationen, die eine schnelle Speichersuche erfordern, ist der Einsatz von CAM-Architekturen prädestiniert. CAM ist besonderes geeignet für Kommunikationsanwendungen, die Hardware-basierende Funktionen für die Steigerung ihrer Systemleistung nutzen. Bringen CAM-Implementierung allein schon Vorteile gegenüber herkömmlichen Speichertechniken, so ist durch die On-Chip-Implementierung eine weitere Leistungssteigerung möglich. Mit der Verfügbarkeit komplexer programmierbarer Logikbausteine wie der APEX-Familie von Altera eröffnen sich den CAM-Implementierungen neue Möglichkeiten bei den System-Level-Designs.

(Rolf Bach, PR&Elektronik)

Altera
Tel.: 089/3 2182 50

Forumsdiskussion: programmierbare Logik

Flexibel komplexe Chips aufbauen

Ein großer Vorteil programmierbarer Logikbausteine ist die Flexibilität, die sie den mit ihnen aufgebauten Systemen verleihen. So ist es z.B. möglich, programmierbare Bausteine über das Internet neu zu konfigurieren und damit das System zu aktualisieren. Zudem erreichen programmierbare Logikbausteine Gatteranzahlen von bis zu zwei Millionen. Solche Gatterzahlen waren früher ASICs vorbehalten. Damit dringt die programmierbare Logik in Bereiche und Applikationen vor, die bisher den applikationsspezifischen ICs vorbehalten waren. Allerdings sind trotz steigender Gatterzahl auch programmierbare Logikbausteine nicht mehr einfach zu entwickeln. Deshalb kommt den geeigneten Designwerkzeugen steigende Bedeutung zu. Um einen Überblick über die Entwicklungen im Bereich der programmierbaren Logik zu geben, lud die Redaktion Branchen-Insider zu einer Forumsdiskussion ein. Hier ein Bericht über diese Diskussion.

Zum ersten Thema »Sind ASICs und FPGAs wirklich Konkurrenten?« eröffnet Max Diez die Diskussion: »Wenn wir unser Produktspektrum betrachten, dann bewegen wir uns überwiegend am oberen Leistungsende. Unser derzeitiger Prozess erlaubt Integrationsdichten von 20 Millionen Gattern, bei FPGA sind es derzeit einige 100.000 Gatter.« FPGAs sind deshalb seiner Ansicht nach keine wirklichen Konkurrenten. »Sie helfen Prototypen schnell aufzubauen«, gesteht er zu, aber: »Im Mittel integrieren wir heute 1,5 Millionen Gatter mit steigender Tendenz pro Design. Die I/O-Geschwindigkeiten nehmen ebenfalls zu, 2 GBit/s und mehr ist heute gefragt, dafür benötigt man spezielle Technologien, die FPGAs nicht bieten können.« FPGAs sieht er als Ergänzung zu ASICs, da sie flexibel für Prototypen und bei häufig notwendigen Designänderungen seien.



Acht Brancheninsider trafen sich zur Forumsdiskussion über »Programmierbare Logik« in den Räumen des AWi-Verlags

Die Diskussionsteilnehmer

Gerd Wummel, Geschäftsführer der Actel GmbH

Gerhard Scherer, Sales-Manager bei ProDesign, einem Distributor vorwiegend für den FPGA-Flow von Mentor

Rudi Schwarz, Geschäftsführer bei Xilinx

Phillip Jacobsohn, Produkt-Marketing-Engineer bei Epson Europe

Wolfgang Reis, Applikation-Manager bei Lattice Vantis

Udo Renz, Geschäftsführer von Altera

Max Diez, bei IBM Microelectronics Director of Sales Central Europe and East

Ralf Streicher, Sales-Manager Germany bei Quicklogic

»Der Ansatz ASIC kontra FPGAs ist für mich nicht ganz richtig. Ich würde sagen, FPGAs kontra ASICs«, ergreift Rudi Schwarz das Wort. Und weiter: »Wir haben nicht den Ehrgeiz, mit IBM bei ASICs zu konkurrieren. Der Markt für programmierbare Logik machte knapp drei Milliarden Dollar in 1999, und da ist viel zu holen zwischen dem oberen Segment, in dem IBM zu Hause ist und FPGAs.« Diese werden ASICs wohl nie ganz ersetzen, aber er möchte behaupten, dass FPGAs die ASICs einschließlich Gate-Arrays irgendwann in nicht allzuferner Zukunft in ein Nischendasein drücken werden. Denn: »Das Gros des Logikanteils wird von FPGAS abgedeckt oder programmierbarer Logik allgemein, und dann wird es für ASICs nur noch den absoluten High-End-Bereich geben.«

Dem stimmt Udo Renz im Wesentlichen zu: »In Ergänzung zum High-end-Bereich in Bezug Komplexität werden FPGAs zulegen, aber auch bezüglich der Geschwindigkeit. Es wird sicher Leistungsbereiche geben, die man mit FPGAS nicht erreichen wird. Dort bleibt die Dominanz der ASICs und Standardzellen bestehen, aber den großen Rest des Markts werden FPGAs erobern.«

Phillip Jacobsohn sieht die Konkurrenz der beiden Bausteinarten deutlicher als Diez: »Wir sind ebenfalls im ASIC-Bereich tätig, und ich möchte behaupten, dass wir mit den Komple-

xitäten, die wir anbieten, schon mit FPGA-Bausteinen konkurrieren.« Zwar nicht bei den höchsten Komplexitäten und Eigenschaften, die man bei FPGAs nicht finden kann. Als Beispiel führt er extreme Low-Power und die hohe Geschwindigkeit an, die heute von FPGAs noch nicht erreicht würden. »Sie decken ein Segment ab, das von den Komplexitäten vielleicht mit ASICs konkurriert, aber keines, das mit anderen FPGA-Features nicht bedient werden kann«, behauptet er.

Ralf Streicher begründet den Erfolg der FPGA mit wirtschaftlichen Argumenten: »Wenn man das Marktwachstum betrachtet, kann man feststellen, das FPGAs oder die programmierbaren Bausteine derzeit mit 30 bis 40 Prozent wachsen. Der ASIC-Bereich hat hingegen nur ein Wachstum von 10 bis 15 Prozent. So kann man auf die Schlussfolgerung kommen, dass die FPGAs zumindest am unteren Ende der Komplexitäten und Geschwindigkeitsanforderungen Marktanteile von den ASICs wegfressen.« Wobei es in den einzelnen Bereichen aber große Unterschiede gebe. »Der Kombination von ASIC-Blöcken mit programmierbarer Logik, so gennannten Embedded-Standard-Produkten (ESPs) sagen die Statistiken ein wesentlich größeres Wachstum voraus. Und was noch wichtig ist, das Wachstum bei programmierbarer Logik ist linear, während ESPs nach Marktstudien ein exponentielles Wachstum aufweisen werden«, erklärt er.



Ralf Streicher meint, dass die Kombination von Hard-Cores und programmierbarer Logik überlegt sein will: »Einfach Hard-Cores zusammenmischen macht keinen Sinn.«

Auch Schwarz zieht die Marktstatistiken zur Untermauerung des FPGa-Erfolgs heran: »Ich wollte daran erinnern, dass letztes Jahr, beginnend mit dem 2. Quartal, der Umsatz programmierbarer Logik erstmals den Umsatz von Gate-Arrays überholte, und bereits im 3. Quartal war er über 200 Millionen Dollar größer. Verglichen mit Standardzellen lag im 1. Quartal 1999 der Anteil programmierbarer Logik noch bei 38 Prozent und im 3. Quartal bereits bei 45 Prozent des Standardzellenumsatzes. Programmierbare Logik machte damit bereits fast die Hälfte von Standardzellen aus, und das wird tendenziell so weitergehen.«

»Das Wachstum bei programmierbarer Logik liegt nicht nur in den steigenden Komplexitäten begründet, sondern besonders in der Flexibilität, die sie bietet«, ergänzt Wolfgang Reis. Das habe man in den letzten Jahren verfolgen können. Immer kürzere Time-to-market habe immer mehr Designänderungen zur Folge gehabt. »Nicht jeder benötigt eine Million Gatter, aber fast jeder braucht heute die hohe Flexibilität, um auf Änderungen reagieren zu können. Darauf gründet sich ein großer Teil des Wachstums programmierbarer Logik«, gibt er sich sicher.

»Als Ergänzung dazu,« greift Gerd Wummel in die Diskussion ein: »Auch die Technologie arbeitet den FPGAs entgegen. Immer kleinere Strukturbreiten bedeuten immer höhere Maskenkosten. Unter 200.000 Mark geht da bei moderenen High-end-ASICs vermutlich nicht mehr viel. Das sind Kosten, die für viele Kunden nicht mehr tragbar sind«, glaubt er.

Dem widerspricht allerdings Jacobsohn: »Ich möchte kurz anführen, dass gerade bei hohen Stückzahlen ein ASIC von den Kosten her erhebliche Vorteile gegenüber den FPGAs bietet. Und dass sich deswegen insbesondere Embedded-Arrays in Zukunft am Markt durchsetzen werden.«

»Ich wollte noch etwas auf Herrn Streichers Aussage erwidern«, ergreift Udo Renz das Wort: »Ich bin nicht der Meinung, dass das große Wachstum bei Embedded-FPGAs liegt oder Hard-Cores oder wie immer man sie nennt. Ein großer Vorteil der programmierbaren Logik ist ihre Flexibilität und dass es universelle Standardprodukte sind. Sobald man einen Hard-Core einbaut, ist es kein universelles Standardprodukt mehr, weil es nur mehr für einen Teil der Anwender einsetzbar ist und dadurch Vorteile, die ein freiprogrammierbarer Baustein hat, wieder zunichte gemacht werden.« Er sieht den Vorteil eindeutig in der Flexibilität und freien Konfigurierbarkeit der Bausteine und nicht in Embedded-Produkten. Hinzu komme, dass auch die Komplexitäten erreicht werden, die es erlauben, dass Soft-Cores implementiert werden können. Das wird mit den IP-Blöcken immer stärker kommen, sodass man diese Funktionen wesentlich flexibler integrieren kann als mit Hard-Cores.



Udo Renz glaubt an den Erfolg der FPGAs: »Im High-end-Bereich bleibt die Dominanz der ASICs, aber den großen Restn des Marktes werden FPGAs erobern.«

»Diese Kombination von Hard-Cores mit programmierbarer Logik macht sicher nicht in jedem Fall Sinn«, gibt Streicher zu. Sie mache nur dann Sinn, wenn der Hard-Core, der konfigurierbar sein müsse, auf einem Standard z.B. PCI-Core, basiere. »Einfach Hard-Cores zusammenmischen macht keinen Sinn. Es kommt dabei auch darauf an, wie die Kosten umgelegt werden können. Die Kosten einer FPGA-Familie kann man auf verschiedene Kunden umlegen, denn bis auf die Programmierung ist der Chip gleich und Ähnliches gilt auch für Hard-Cores auf dem Chip«, vergleicht er die Wirtschaftlichkeit.

»Ich glaube aber schon, dass dieser Markt sehr ASIC-ähnlich wird,« meldet sich Reis, und weiter: »Sie werden diese Chips für spezielle Kunden bauen, um die Stückzahlen zu erhöhen. Auf diese Weise wird es wieder ein kundenspezifisches Produkt. Ein reines Standardprodukt, das ab Lager lieferbar ist, ist es nicht mehr, vielleicht noch ähnlich.« Und so viele

Standards, die man integrieren könne, gäbe es auch nicht, PCI sei da die Ausnahme.

Gerhard Scherer betrachtet das Thema mehr von der Software-Seite: »Wir machen derzeit die Welle mit, dass die Anwender jetzt auch bei FPGAs in das VHDL-Design einsteigen. Dazu muss man wissen, dass zunächst die ganzen Designziele auf FPGAs ausgelegt sind, weil man damit das Design bis zum Test im eigenen Hause durchführen kann. Erst wenn die Stückzahlen entsprechend hoch werden, dann wendet man sich an eine spezielle ASIC-Schmiede, auch um sich das entsprechende Know-how zu holen, das bei vielen mittelständischen Firmen nicht vorhanden ist.« Deshalb sollten sich die Anwender den Weg nach oben so offen halten, dass sie mit einem FPGA beginnen und dann dieses Design in Richtung ASIC trimmen können. »Nach unserer Erfahrung gibt es zwischen FPGAs und ASICs so viele Unterschiede, dass man nicht einfach sagen kann, selbst wenn das FPGA die nötige Komplexität hätte, wir implementieren das FPGA-Design morgen in ein ASIC. Dazu braucht man eine Menge Know-how«, weiß er. Der Anwender, der in programmierbare Logik einsteige, komme zwangsläufig über die FPGAs, die Frage stelle sich dann, wie weit es sinnvoll ist, in Richtung ASIC zu gehen. »ASICs können auch für Mittelständler interessant sein, wenn sie diverse Standardfunktionen enthalten, die für verschiedene Produkte nötig sind. Deshalb favorisiert er den Aufbau fester Funktionen im ASIC und Zusatzfunktionen in einem flexiblen externen FPGA. Die Realisation ist aus seiner Sicht eine reine Kostenfrage.

»Für Spezialfunktionen benötigt man aber immer auch Spezial-Software«, schränkt Reis ein. »Es gab schon viele Ansatzpunkte, z.B. Mikroprozessoren zu integrieren. Und darum nur mehr programmierbare Logik zu gruppieren. Das macht aber die Designinfrastruktur nicht mit. Man muss Emulatoren bauen, ob das diese Firmen können, ist die Frage. Es hat sich nicht durchgesetzt.« Betrachtet man heute ein PC-Motherboard, ist fast alles in einem IC integriert bis auf den Prozessor, weil es nicht sinnvoll sei.

»Ich denke, Infrastruktur heißt auch, dass, wenn man einen Core und programmierbare Logik auf einem Chip unterbringen will, dieser das entsprechende Routing und die Geschwindigkeit besitzen muß und die notwendigen Tools am Markt verfügbar sein müssen«, führt Streicher die Ausführungen von Reis weiter.

Neben den Tools gehört für Scherer auch die Beratung mit zur Designinfrastruktur: »Ein großer Teil unserer Beratungstätigkeit liegt darin, wenn sich ein Design im Laufe der Zeit ändert und mehr Gatter benötigt, dass wir hierbei Hilfestellung bieten. Deshalb sehen wir auch die Notwendigkeit, dass die Design-Software heute nach oben hin skalierbar sein muss.«

Auf die Frage von Renz, ob er Zahlen hätte, wie viele der Kunden, die mit FPGAs anfangen, später auf ASICs übergingen, antwortet Scherer: »Unser Hauptgeschäft ist derzeit der Verkauf von Design-Software für FPGAs, ASICs sehen wir als künftige Betätigung. Es gibt bei uns aber beides, sowohl Kunden, die von einem FPGA auf ein ASIC übergehen und solche, die vom ASIC auf ein FPGA umstei-

gen. Das ist eine Frage der Kosten-/Nutzen-Rechnung. Ich habe aber keine exakten Zahlen.«

»Warum will ein Anwender überhaupt von einem FPGA auf ein ASIC übergehen?« stellt Reis nun die Gretchenfrage: »Das ist meiner Meinung nach nur der Preis. Und der Preis geht nur bei entsprechenden Stückzahlen nach unten, weil sich die FPGAs neben den Leistungsmerkmalen auch hier schon weitgehend angeglichen haben.«



Für Phillip Jacobsohn haben SoCs mit ASICs den Vorrang: »Bei SoCs müssen analoge Anteile und Flash mit integriert werden. Das wird nur von ASICs abgedeckt.«

»Ich möchte das mit praktischen Beispielen erläutern«, greift Jacobsohn den Faden auf: »GSM und Hörgeräte sind z.B. Applikationen, in denen man mit FPGAs nicht die Möglichkeiten hat wie mit ASICs. Und man wird sie auch in naher Zukunft nicht haben. Dementsprechend hat das ASIC seine Berechtigung nicht nur bei hohen Stückzahlen.«

»Es ist immer eine Frage des Einsatzbereichs«, unterbricht Streicher: »Um auf den Preis zurückzukommen, haben die letzten Jahre gezeigt, dass die FPGA-Preise stärker zurückgegangen sind als die ASIC-Preise. Das ist natürlich ein ein zusätzlicher Anreiz, bei FPGAs zu bleiben.«

»Gerade wenn man hochkomplexe FPGA-Bauteile mit ASICs vergleicht, stellt man fest, dass man mit einem ASIC doch noch ganz erhebliche Kostenvorteile hat. Von weiteren Vorteilen wie Stromverbrauch usw. einmal abgesehen, das ASIC ist gerade bei hohem Pin-Count und hohen Stückzahlen von Vorteil«, entgegnet Jacobsohn.

»Sie sprechen da zwei verschiedene Märkte an«, greift Wummel ein, »den Gate-Array-Markt, in dem die FPGAs ziemlich aufholen und dann Nischenbereiche, z. B. Low-Power oder absolutes High-end. Wenn man aber den allgemeinen Markt betrachtet, dann sind wir FPGA-Hersteller ganz gut positioniert, und die technische Entwicklung bringt uns weiter.«

»Es herrscht sicher eine Hemmschwelle, auf ein ASIC überzugehen, aufgrund der Entwicklungskosten, die abhängig von den Stückzahlen sind«, gibt Diez zu: »Aber ASICs sind überlegen bezüglich Low-Power und hohem Pincount. Wenn man über 500 Pins benötigt, ist man auf ein ASIC angewiesen. In anderen Fällen ist man mit FPGAS vielleicht gut bedient.«

»Aber auch beim Pincount holen die FPGAs auf«, widerspricht Wummel umgehend. »FPGAs gibt es schon in BGA-Gehäusen mit hohem Pin-Count. In FPGAs hat man zwar immer einen Overhead, was die Technik verlangsamt, aber beim Pincount gibt es keinen Unterschied mehr.«

Reis bestätigt: »Da sind wir abhängig von den Gehäuseherstellern, und da greifen die ASIC-Hersteller auf die gleichen Quellen zu wie wir.«

»High-End-ASICs und FPGAS werden immer ihre Berechtigung haben«, zieht nun Schwarz Bilanz zum Wettstreit der Bauteilgattungen. »Aber wenn man betrachtet, was bei FPGAs passiert, dringen diese Bausteine schon in ASIC-Bereiche vor. Wir liefern jetzt FPGAS mit zwei Millionen Systemgattern mit 200 Millionen Transistoren. Vor drei Jahren hatte das komplexeste FPGA nur 50.000 Gatter. Diese rasante Entwicklung ist nirgends anders zu verzeichnen. Da wird es für ASICs eng, außer wenn man sich im absoluten High-end bewegt.« Ein anderes Thema macht ihm aber Sorgen: »In Deutschland ist man zu konservativ, um entsprechend auf den Markt für programmierbare Logik einzusteigen«. Sie werde erst zur Hälfte des vorhandenen Potentials eingesetzt. Jeder spreche zwar über Systems-on-Chip, aber programmierbare Logik werde noch nicht einmal eingesetzt. »Wenn man ASICs mit programmierbarer Logik vergleicht, ist der Anteil von ASICs weit höher als der von programmierbarer Logik. Das ist anders als in allen anderen Ländern der Erde«, bedauert er.

Renz merkt noch an: »Der CMOS-Logik-Markt in Deutschland ist der größte in Europa, aber der FPGA-Anteil ist sehr gering.«

»Es ist wohl ein Problem, dass hier viele das Problem Time-to-Market noch nicht erkannt haben«, versucht Wummel eine Erklärung. »Man denkt nur an Kosten, Kosten nochmal Kosten, und dabei wird vergessen, dass Time-to-Market auch Kosten sind und die Arbeitskraft- und -Zeit der Entwickler auch.«

»Man sieht aber auch in Deutschland eine Entwicklung hin zu programmierbarer Logik«, sieht Streicher nicht ganz so düster.

Zum Thema System-on-Chip-Komponenten meint Jacobsohn: »Im Bereich SoC ist es auch notwendig, analoge Anteile mit auf dem Chip zu haben und unter Umständen Flash-EPROMs. Diese Möglichkeiten werden derzeit von FPGAs noch nicht geboten. Das wird alles von ASICs abgedeckt. Da haben sie ihre Vorteile.«

»Es ist aber viel wichtiger, wie schnell und wie flexibel komme ich zu meinem Markt«, bricht Schwarz eine Lanze für die FPGAs. »Wir forcieren deshalb gerade die Internet-Rekonfigurierbarkeit unserer FPGAs. Der nächste Schritt ist dann, ein System beim Endkunden zu debuggen, neue Features oder Standards überzuspielen usw. Diese Möglichkeit wird bisher nur von US-Firmen eingesetzt und genutzt:«



Für Wolfgang Reis ist der Preis der einzige Grund, ein ASIC einzusetzen: »Der Preis geht aber nur bei entsprechenden Stückzahlen der ASICs nach unten.«

»Es sind aber nicht nur die USA, die schneller reagieren als wir«, unter-

stützt Renz seinen Vorredner, »auch unsere europäischen Nachbarn tun dies. Das ist ein Problem für die gesamte Tele- und Datakomm-Industrie. Unsere alten Kommunikationsfirmen werden international bald kein Land mehr sehen, wenn man es schwarz malen will.«

»Es gibt aber gerade bei den neuen Internet-basierenden Technologien auch hierzulande kleine Start-up-Firmen, die den deutschen Unternehmen zeigen, wo es langgeht. Das lässt Hoffnung aufkommen. Im Bereich ISDN haben sich z.B. solche Firmen bereits einen großen Marktanteil erkämpft«, bleibt Streicher optimistisch.

Auf die Frage nach der Grenze des technisch Machbaren bei programmierbarer Logik meint Schwarz: »Wir werden dieses Jahr noch Produkte mit 3,5 Millionen Systemgattern auf den Markt bringen. Ich würde sagen, dass in zwei Jahren rund zehn Millionen und in fünf Jahren fünfzig Millionen Gatter auf einem Chip erreichbar sind.« Ohne IP werden diese Chips nicht mehr realisierbar sein, auch nicht mehr mit der heutigen Software. Zudem werde es eine neue Architektur sein, durch die wesentlich mehr Features mit auf den Chip kommen werden und die während des Betriebs rekonfigurierbar seien. Auch ein Ende des Preisverfalls ist nach seiner Einschätzung nicht in Sicht.

»Man wird künftig gezwungen sein IP einzusetzen, egal, ob Hard- oder Soft-IP. Wenn man sich die Technologien anschaut, stellt man fest, dass der Zeitraum, bis eine ASIC-Technologie von FPGAs übernommen wird, immer kürzer wird. 0,25-µm- und 0,18-µm-Technologien sieht man bei den FPGA-Herstellern nahezu gleichzeitig wie bei ASICs«, umreißt Streicher seine Meinung zur technischen Grenze.

»Ich behaupte, in Zukunft werden die neuesten Technologien zuerst im FPGA eingesetzt und erst dann in ASICs«, widerspricht Schwarz. »Diese Technologien sind wichtig, um die Preise für FPGAs senken zu können, und die Fabs benutzen heute viel lieber FPGAs als Speicher oder andere Bausteine um ihre neuen Prozesse einzuführen.«

Damit ist Diez aber nicht einverstanden: »Ich sehe immer noch die Speicherbausteine als Technologietreiber. Das wird sich auch in Zukunft nur unwesentlich ändern, weil man gleichmäßige Strukturen besser benutzen kann um die Technologie weiterzuentwickeln. Außerdem möchte ich widersprechen, dass man ASICs weitgehend ablösen kann. Durch IP-Cores wird die ASIC-Entwicklung vergleichbar mit der FPGA-Entwicklung.« Künftig werden nach seiner Meinung auch mehr Embedded-Prozessoren implementiert und die Rekonfigurierbarkeit on-the-fly zum Standard werden.

»Ich möchte noch mal auf einen anderen Punkt zu sprechen kommen, wenn wir über die Grenzen des technisch Machbaren diskutieren«, spinnt Jacobsohn den Faden weiter. »Heute liegt die Komplexität eines FPGAs wie wir gehört haben bei zwei Millionen Gattern, bald weit darüber. Da stellt

sich die Frage, welche Entwicklungsabteilung kann so einen Chip noch designen. Damit haben wir dann den Design-Gap, den es heute bei ASICs gibt, auch bei FPGAs. Es wird darauf hinauslaufen.«

Dem schließt sich Wummel an: »Wenn wir über Integrationsdichte reden, ist eigentlich nicht die Halbleitertechnologie das Problem, sondern für 50 Millionen Gatter die Funktionen zu entwickeln und auch diesen Baustein optimiert damit zu füllen.«

Schwarz sieht die Begrenzung mehr im Menschen: »Die Grenze des Machbaren liegt im Kopf des Ingenieurs.«

»Und in der Leistungsfähigkiet der CAE/CAD-Tools«, führt Diez weiter. »Wir stützen uns schon heute weitgehend auf eigene Tools, um die Bausteine so verifizieren zu können, dass sie auch funktionieren. Es wird sehr schwierig, mit den heute verfügbaren kommerziellen Tools das technisch machbare auszunützen. Wir müssen zu anderen hierarchischen Designstrukturen übergehen, aufbauend auf IP-Blöcken, um die komplexen Designs der Zukunft handeln zu können.«

»Dann stellt sich die Frage, welche IP-Cores kann ein ASIC-Hersteller und welche ein FPGA-Hersteller anbieten. Ich sehe da noch große Unterschiede«, wirft Jacobsohn ein.



Rudi Schwarz: »Wenn man die Entwicklung bei FPGAs betrachtet und FPGAs mit zwei Millionen Gattern auf den Markt kommen, wird es für ASICs eng.«

»Auch der Aufwand für die Entwicklung, z.B für die Integration eines Prozessor-Cores, wird sich angleichen, und die Flexibilität durch SoCs in FPGAs wird auch verloren gehen«, prophezeit Schwarz. »Sobald komplexe Cores eingebaut werden wie PCI, ARM-Prozessoren, muss dafür Firmware geschrieben werden.«

»Wir kommen auf den gemeinsamen Nenner, dass die Limitierung für das technisch Machbare die Software ist, ergreift Reis das Wort.« In der Applikation stellt man schon heute fest, dass sich 90 Prozent der Anfragen auf die Software beziehen. Und man muss in Software investieren. Diese ist mittlerweile so kurzlebig, dass man jedes Jahr neue benötigt. Die ASIC-Hersteller haben da einen Vorteil, denn sie machen die Entwicklung für den Kunden. Dieser braucht nicht in Software zu investieren. Im FPGA-Fall muss man als Anwender die Software haben.

»Ob die Software oder die Hardware die Limitierung ist, ist für mich eine Henne-Ei-Diskussion«, betont Scherer. »Wenn man einen Chip entwickeln will, ist die Software nicht das Problem, sie muss einfach vorhanden sein. Notfalls muss man mit einer Partnerfirma zusammenarbeiten, um dies sicherzustellen. Ich sehe das als gleichgewichtig zwischen Hard- und Software. Der Informationsfluss zwischen Chiphersteller und Software-Hersteller muss klappen, dann ist die Software auch nicht der Sündenbock wie es hier erscheint.«

»Warum macht jeder von uns seine Low-end-Fitter-Software selbst«, fragt daraufhin Reis. »Wegen der kurzen Wege und weil damit bei Einführung eines neuen Produkts die Software von uns zu 50 Prozent fertiggestellt ist. Die Anwender ärgern sich über Bausteine, die nicht funktionieren, es ist aber meist die Software. Deshalb muss künftig die Software noch stärker im Entwicklungsfluss eingebunden sein.«

»Der Trend geht aber zu allgemeinen Tools«, widerspricht Wummel. »Die Anwender wollen Standards haben. Die enge Zusammenarbeit zwischen Hard- und Software-Lieferanten ist sowohl bei FPGAS wie bei ASICs nötig und eigentlich auch vorhanden.«

»Das ist der Grund dafür, warum wir FPGA-Hersteller die Designer quasi zwingen müssen, IP einzusetzen«, führt Renz das Thema weiter. »Das ist die Konsequenz daraus. Viele Anwender kommen noch von der CPLD-Schiene und von der Hardware-Entwicklung. Aber FPGAs gehen jetzt immer stärker den Weg, den früher die ASICs gegangen sind. Auch FPGAs werden deshalb künftig im einem ähnlichen Umfeld entwickelt werden müssen. Unsere Aufgabe ist es, diese Entwicklungzu forcieren.«

»Das sehe ich genauso«, stimmt Streicher zu: »Wenn ich sehe, welchen Anteil bei uns die Software ausmacht,



Gerd Wummel bricht eine Lanze für Standard-Tools: »Die Anwender wollen Standard-Tools haben. Dazu ist die enge Zusammenarbeit zwischen Hard- und Software-Lieferanten nötig.«

auch zur Erstellung von Verifikation, Simulation und Test-Benches, die auch zur Entwicklung gehören, nimmt der Aufwand gerade bei IP oder größeren Komplexitäten zu. Da sind wir als Hardware-Hersteller gefordert, künftig mehr Software anzubieten, um die Entwickler zu unterstützen.«

»Wobei wir vielleicht auch alle die falschen Zeichen gesetzt haben«, wirft Wummel ein. »Wir haben High-end-Software praktisch umsonst abgegeben und damit Erwartungshaltungen bei Kunden geweckt, die nicht der Realität entsprachen.«

»Wobei wir feststellen, dass komplexe IP-Blöcke nicht einfach einzusetzen sind«, unterstützt Scherer nun Streichers Ausführungen. »Man benötigt Anpassarbeiten am IP. Man nimmt es, wenn man muss, aber nicht gerne. Man versucht sich auch vor dieser Investition zu drücken. Deshalb ist IP nicht immer das A und O.«

»Dabei hat man das Problem zwischen Hard- und Soft-IP«, erklärt Streicher. »Bei Soft-IP muss man für die Anpassung sorgen, bei Hard-IP ist sie im Preis mit eingeschlossen. Für kleinere Firmen kann es deshalb vorteilhafter sein, Hard-IP zu verwenden, weil der Aufwand geringer ist.«

»Hier haben wir den Vorteil, dass wir reichhaltiges IP anbieten«, freut sich Diez. Wir haben über 100 IP-Blöcke in unserer Bibliothek. Diese bekommt der Anwender aus einer Hand, validiert und garantiert frei von Rechten Dritter. Wir haben auch einen neuen Busstandard kreiert, mit dem IP verbunden werden kann. Diesen haben wir auch unseren Mitbewerbern zugänglich gemacht. Das Beispiel ist der CoreConnect-Bus.« Man sei heute noch nicht beim allgemeinen Einsatz von IP angelangt, aber es gehe eindeutig in diese Richtung.

»Der Design-Gap wird dadurch kleiner«, merkt Schwarz an

»Aber nicht bei ASICs, da bleibt er bestehen, denn die EDA-Firmen kommen mit der Entwicklung nicht mehr nach«, widerspricht Diez umgehend.

»Zu einer Entwurfsmethodik gehören aber nicht nur die Tools alleine«, führt Streicher das Thema weiter. »Das sieht man am Consulting-Aufwand, den die EDA-Firmen in den letzten Jahren betrieben haben. Die Kapazität von Simulatoren und anderen Tools sind nur eine Seite, das Ingenieurwissen ist das andere. Dies ist das Brot der Designhäuser oder auch der EDA-Anbieter, die Designzentren aufgebaut haben. Deshalb glaube ich, dass der Design-Gap nicht unbedingt größer werden muss. Aber die Art und Weise, mit diesem Gap umzugehen wird anders werden und das Know-how der Entwickler mehr eingesetzt werden.«



Für Max Diez sind FPGAs eine Ergänzung zu ASICs, weil sie einen flexiblen Prototypenaufbau und einfache Designänderungen ermöglichen.

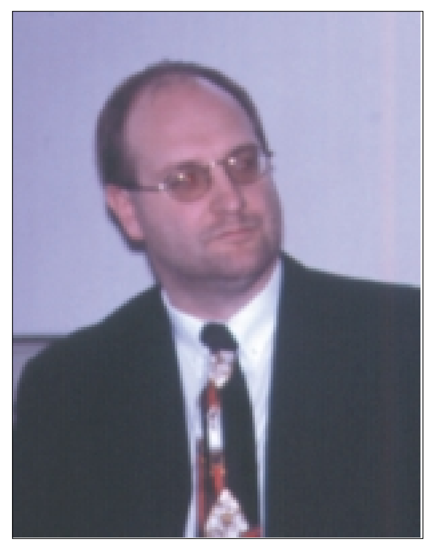
»Bei CLPDs ist die Situation etwas einfacher«, erklärt nun Reis. »Sie sind gleichmäßig strukturiert, und die Fitter laufen. Was mir die Software-Entwickler gesagt haben, erfordert das Schreiben der Fitter 50 Prozent der Arbeitszeit. Wie sind Constraints zu behandeln, wenn ich hier das gemacht habe, darf ich dieses nicht mehr usw. Deshalb geht die Software-Entwicklung mit der Hardware-Entwicklung immer stärker im Gleichklang und schreibt der Hardware-Entwicklung vor, was zu machen ist. Die Fitter-Entwicklung wird auch künftig immer noch der Hersteller machen müssen.

»Die Verwendung von IP wird dazu führen, dass Designs grafisch entwickelt werden müssen«, weissagt Scherer. »Das ist heute noch nicht weit verbreitet, wird aber kommen. Wir versuchen mehr und mehr Constraints in die Synthese einzugeben, um die Möglichkeit des Vergleichens diverser Technologien zu erlauben. Wir sind nicht auf einen Hersteller festgelegt, sodass der Anwender die Technologie vergleichen kann.«

Streicher schränkt ein: »Es gibt zwar die Möglichkeit, Designs, die technologieunabhängig entwickelt wurden, in der Synthese auf unterschiedliche Technologien zu mappen und anzuschauen, aber wie unabhängig ist VHDL? Entscheidend ist, was nach dem Place&Route zur Verfügung steht. Ein Vergleich voher ist nur grob und unvollständig, erlaubt aber eine gewisse Abschätzung.«

Die Frage auf die Auswirkungen neuer Halbleitertechnologien auf die programmierbare Logik beantwortet Renz: »Durch den Vorteil, dass die meisten FPGA-Hersteller keine eigene Wafer-Fab haben, können wir die Technologie nutzen, die uns am sinnvollsten erscheint. Das heißt, wenn wir heute mit einem Hersteller arbeiten, der einen 1-µm-Prozess hat, können wir diesen nutzen. Wir haben die Möglichkeit, auf die neuesten Prozesse aufzuspringen, ohne eigene Investitionen machen zu müssen. Wir arbeiten sehr eng mit den Foundries zusammen, und die nötigen Designs-Tools stehen ebenfalls zur Verfügung.«

Dem schließt sich der Rest der Diskussionsrunde an. Zudem würden neue Technologien als Evolution allmählich kommen und bestehende Produkte nicht oder nur wenig beeinflussen. Dazu meint Streicher: »Im FPGA-Bereich sind die Produktlebenszyklen im Allgemeinen länger als bei ASICs, d.h., eine FPGA-Familie ist z.B. fünf bis zehn Jahre auf dem Markt, bevor sie abgelöst wird. Das heißt, man wechselt nicht so einfach von einer Foundry auf die andere.« Auch darüber, dass die Design-Tools nicht von neuen Prozesstechnologien beeinflusst sind, ist sich die Runde einig. Diez merkt dazu an: »Die CAE-Hersteller passen natürlich ihre Tools auf neue Technologien an. Für CAE-Tools ist es einfacher, mit der Kupfertechnologie zu rechnen, weil der Verdrahtungsanteil zurückgeht.«



Für Gerhard Scherer ist der Einsatz von ASIC oder FPGA eine Frage der Kosten-/Nutzenrechnung: »Wir haben Kunden, die abhängig davon vom FPGA auf ein ASIC übergehen und umgekehrt.«

Als allgemeine Trends für die Zukunft sehen die Diskussionsteilnehmer den deutlichen Trend zu höheren I/Os. Nächstes Jahr sollen Chips mit über 2000 I/Os auf den Markt kommen. Des Weiteren gibt es den Trend zu höherer Komplexität und Geschwindigkeit. Die Preise sollen weiter drastisch fallen, dadurch werden neue Märkte erschlossen, was das Wachstum von rund 30 Prozent die nächsten Jahre sichere. Viel Neues wird die Zukunft im IP-Bereich und Software bringen, z.B. einfache Bedienung der Entwicklungs-Tools und die Internet-Rekonfigurierung. Renz fasst dies kurz und bündig zusammen: »Die Zukunft: Millionen Gatter, 600 MHz, 2000 I/Os, Design-Tools für diese Bausteine, Einsatz von IP und Vernetzung über das Internet.«

(Wolfgang Patelay)

Antifuse-FPGAs in HiRel- und Raumfahrtapplikationen

Der Strahlung keine Chance

Aufgrund ihrer nichtflüchtigen Eigenschaften sowie ihrer extrem hohen Zuverlässigkeit unter hoher Strahlungsbelastung haben sich Antifuse-FPGAs in der Luft- und Raumfahrt sowie in militärischen Anwendungen als dominante programmierbare Logiktechnologie etabliert. Die strahlungsfesten (RadHard) und strahlungstoleranten (RadTolerant) Logikchips von Actel befinden sich deshalb in einer Vielzahl von Raumfahrtprojekten im Einsatz und erfüllen anspruchsvollste Spezifikationen.

Speziell mit der RadHard-FPGA-Technologie von Actel lassen sich ständig neue Märkte für zahlreiche Raumfahrtapplikationen erschließen. Unter Berücksichtigung der kontinuierlich kürzer werdenden Zeitabstände bis zum Start von neuen Raumfahrtprojekten nutzen viele Entwickler die signifikanten Time-to-Market-Vorteile, die FPGAs gegenüber traditionellen ASIC-Lösungen bieten. Um den Herausforderungen des Wettbewerbs entgegnen zu können, greifen viele führende Satellitenhersteller bei der Realisierung von kundenspezifischen Produkten auf standardisierte Designmodelle oder Busse zurück. Als Interface zwischen Bus und Payload kommen dabei FPGAs zum Einsatz.

In den zurückliegenden Jahren hat sich Actel mit seinen strahlungsfesten FPGAs in einer Vielzahl von neuen Satellitenprojekten für die Telekommunikation und Navigation etabliert. Aufgrund von steigenden Stückzahlen sowie Verbesserungen bei den Fertigungsprozessen konnten die Kosten für raumfahrttaugliche FPGAs kontinuierlich gesenkt und deren Strahlungsbelastbarkeit auf bis zu 100 kRad(Si) gesteigert werden.

Reduzierte Halbleitergeometrien und eine Sea-of-Modules-Architektur werden künftig verstärkt dazu beitragen, dass sich FPGAs aufgrund steigender Logikkapazitäten auch in der Raumfahrt zunehmend als kostengünstige Alternative zu ASICs etablieren. Darüber hinaus können bei FPGAs im Vergleich zu ASICs kosten- und zeitintensive Burn-ins und Tests eingespart werden. Dank dieser Vorteile gelten Antifuse-FPGAs unabhängig von der Stückzahl bereits heute als direkte Alternative zu ASICs.

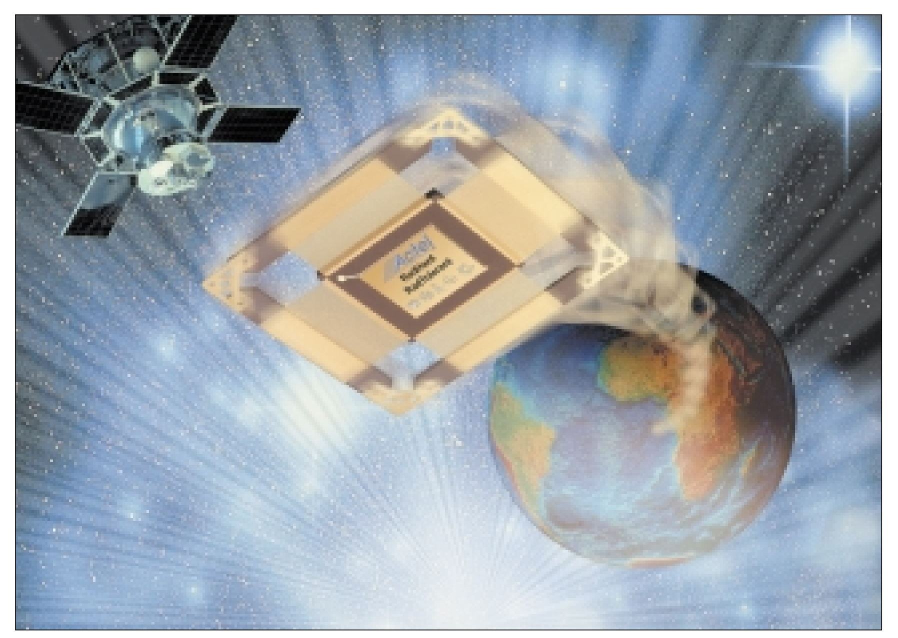


Bild 1: Strahlungsfeste (RadHard) und strahlungstolerante (RadTolerant) Logikchips von Actel befinden sich in einer Vielzahl von Raumfahrtprojekten im Einsatz

Actel gilt nach eigener Einschätzung bei HiRel- und Raumfahrtapplikationen als weltweit größter PLD-Lieferant. Die Bausteine des Unternehmens befinden sich in über 50 Satelliten- und Raumfahrtmissionen im Einsatz; so wurden zum Beispiel im bekannten Mars-Pathfinder-Programm über 20 Actel-FPGAs genutzt. Alle wichtigen European-Space-Agency-Programme greifen bei der Realisierung von Logikdesigns auf FPGAs dieses Herstellers zurück; so sollen alleine im Rosetta-Programm über 200 Actel-Chips zum Einsatz kommen.

Dem steigenden Bedarf nach schnelleren und komplexeren FPGAs wird das Unternehmen mit seiner SX-Familie gerecht; verschiedene Mitglieder dieser Familie werden auch in RadHard- und RadTolerant-Versionen gefertigt. Die Mitglieder der SX-Familie verkraften eine »Total-Ionisation-Dosis« von über 100 kRad und bieten eine Upset-Rate von weniger als 1 x 10^{-7} Single-Event-Upsets (SEU) pro Bit pro Tag. Die Familie erreicht eine System-Performance von über 150 MHz; neue Bausteine wie etwa die Typen RT54SX32S (32.000 Gatter) und RT54SX72S (72.000 Gatter) gehören zu den Highlights dieser FPGA-Serie. Die Flip-Flop-Zellen dieser Bausteine werden mit SEU-immunen Äquivalenten ersetzt; diese bieten eine LET-Schwelle von über 37 MeV. Bausteine mit höheren Komplexitäten befinden sich bereits in der Entwicklung; diese sollen zunächst in kommerziellen Produkten und zu einem späteren Zeitpunkt auch in Raumfahrtapplikationen zum Einsatz kommen.

Erst vor kurzem hat Actel mit seiner FPGA-Familie RTSX-S weitere strahlungstolerante Logikchips vorgestellt. Die Bausteine basieren auf den Antifuse-SX-A-Komponenten mit Strukturen von 0,25 µm und zeichnen sich vor allem durch ihre hohe Performance sowie durch ihren geringen Leistungsbedarf aus. Die FPGA-Serie RTSX-S wird zunächst die beiden Bausteine

RTSX32S und RTSX72S umfassen. Der Baustein RTSX32S verfügt über 56.000 Systemgatter und soll seine Qualifizierung im dritten Quartal 2000 erhalten. Der Baustein RTSX72S beinhaltet 108.000 Systemgatter und ist damit der größte HiRel-Chip im Programm; die Qualifizierung dieses FPGAs für Raumfahrtanwendungen ist im vierten Quartal 2000 zu erwarten. Beide Chips stehen nach ihrer Qualifizierung im 208-poligen CQ208B und im 256-poligen CQ256B Quad-Flat-Pack aus Keramik zur Verfügung. Zur Entwicklung der neuen HiRel-Bausteine kommt das FPGA-Designsystem DeskTOP von Actel zum Einsatz. Bei der DeskTOP-Software handelt es sich um ein integriertes Set an Entwicklungs-Tools; es beinhaltet u.a. Synplify VHDL/Verilog Synthesis von Synplicity, VHDL Design Verification und Management-Tools von VeriBest sowie Designer-Series-Place-&-Route Tools von Actel. Letztere erlauben komplett deterministisches und kontrollierbares Timing für das vereinfachte Design-Re-Use.

Ihre Fähigkeiten und Besonderheiten konnten die Antifuse-FPGAs bereits in einer breit gefächerten Anwendungspalette unter Beweis stellen. Diese FPGAs sind heute in fast allen neuen Raumfahrtprogrammen im Einsatz und etablieren sich schnell als bevorzugte Logiktechnologie. (pa)

Actel
Tel.: 0 81 65 / 9 58 40

FPGA-Software

Altera kündigt die Verfügbarkeit der Version 9.4 seiner Entwicklungs-Software MAX+PLUS II für programmierbare Logik an. Optimiertes Modeling und verbesserte Fitting-Algorithmen dieser Version ermöglichen signifikante Geschwindigkeitssteigerungen für die Bauelemente der MAX-7000AE-Familie. Zusammen mit dem Upgrade von MAX+PLUS II stellt Altera auch das Software-Paket E+MAX vor. Das vollständige Tool-Set beinhaltet u.a. VHDL- und Verilog-HDL-Synthese für die MAX-7000- und MAX-3000-Bausteinfamilien. Die größere Modeling-Genauigkeit mit entsprechenden Prozessverbesserungen und verbesserter Software-Verarbeitung führen zu einer Geschwindigkeitssteigerung von bis zu 30 Prozent bei den MAX-7000AE-Bausteinen. (pa)

Altera
Tel.: 089 / 3 21 82 50

In-Circuit-Emulator

Nohau kündigt die Vorstellung eines In-Circuit-Emulators an, der die P51XA-C3-Derivate von Philips unterstützt. Das POD, das die Verbindung zum Zielsystem herstellt, besitzt 128 KByte Code-Speicher und 128 KByte Datenspeicher. Erfordert das Zielsystem größeren Speicher, stehen entsprechende PODs zur Verfügung. Der Emulator EMUL51XA-PC verwendet eine spezielle Emulationsversion des P51XA-C3-Chips für die exakte Emulation Die Kommunikation mit dem PC erfolgt über den Parallel-Port (LTPx) oder über eine ISA-Karte. Ein optionales Trace-Board enthält umfassende Trigger-Möglichkeiten. (pa)

Nohau
Tel.: 0 70 43 / 9 24 70

Flexibel durch standardisierte PLD-Design-Tools

Vorhandene EDA-Umgebungen nutzen

Auf dem Gebiet der programmierbaren Logikbausteine hat der Designingenieur nicht nur die Auswahl unter verschiedenen FPGA- und CPLD-Bausteinen, sondern auch hinsichtlich der Werkzeuge für die Eingabe des Designs. Jahrelang haben PLD-Anbieter selbstentwickelte und nicht standardisierte Tools für die Eingabe von Designs angeboten. Da Designs, die mit diesen Tools eingegeben wurden, nicht auf andere Umgebungen portierbar waren, konnte der Kunde ausschließlich die Halbleiterbausteine des betreffenden Anbieters einsetzen. Hier wird eine universelle Lösung vorgestellt.

Während die PLD-Anbieter mit dieser Situation durchaus zufrieden waren, verlangten die Kunden nach mehr Flexibilität und einer einfacheren Möglichkeit, Designs in ihre vorhandenen EDA-Umgebungen zu integrieren. Die Unternehmen investieren beträchtliche Mittel in ihre EDA-Umgebungen. Designingenieure werden eingestellt und geschult, es werden teure Workstations beschafft, und große Summen werden für den Kauf der eigentlichen EDA-Software ausgegeben. Dabei wird ein möglichst großer Nutzen dieser Investitionen angestrebt, indem man auf eine nahtlose Integration der verschiedenen erforderlichen Software-Komponenten (Designeingabe, Simulation vor der Synthese und Quellcode-Debugging, Synthese, Place and Route und Fitting, Simulation nach erfolgter Synthese und Programmier-Tools) zielt, ohne dass Zeit, Energie und Geld für die fortlaufende Pflege der Umgebung aufgewendet werden müssen. In der Regel werden die Software-Produkte von mehreren PLD- und/oder EDA-Anbietern genutzt, um die Synthese- und Simulationsergebnisse zu optimieren. Zum Beispiel werden beim Design mit programmierbarer Logik die Place-and-Route- und Fitting-Tools im Normalfall vom PLD-Anbieter entwickelt und angeboten. Die Synthese dagegen wird üblicherweise von unabhängigen Unternehmen entwickelt und optimiert, allerdings mit intensiver Unterstützung durch den PLD-Anbieter, da dieser mit den genauen Details der Bausteinarchitektur vertraut ist. Die Synthesewerkzeuge sind aus diesem Grund meist teuer und bieten architekturspezifische Optimierungen nur für ausgewählte PLDs. Die Syntheseergebnisse für andere PLDs fallen dagegen infolge genereller Manipulationen am Design stets schlechter aus.

Das Integrieren der verschiedenen Software-Komponenten blieb stets den Anwendern und nicht etwa den Anbietern der Produkte überlassen. Für den Designingenieur bedeutet dies, dass er hinsichtlich der neuesten Tools und der möglichen Auswirkungen dieser Werkzeuge auf seine Arbeit stets auf dem Laufenden bleiben muss. Durch die zunehmende Tendenz der PLD-Anbieter, Industriestandard-Formate für die Ein- und Ausgabe ihrer Synthese-, Place-and-Route- und Fitting-Tools zu verwenden, vereinfacht sich die Integration und Pflege der Designumgebungen, sodass sich der Designer verstärkt auf die Entwicklung konzentrieren kann. VHDL und Verilog sind die führenden Industriestandard-Hardware-Beschreibungssprachen. ASIC-Designer setzen diese Sprachen schon seit langem für die unkomplizierte Beschreibung umfangreicher Logikschaltungen ein. Wegen der zunehmenden Dichte von FPGAs und CPLDs werden ASIC-Designer mehr und mehr mit programmierbaren Logikbausteinen vertraut. Die neueren CPLD-Generationen mit rund 15 KGattern decken hinsichtlich der Dichte das untere Segment der FPGAs ab, während neue FPGA-Familien mit ungefähr 75 KGattern die Lücke zu jenem Bereich schließen, der normalerweise bereits den ASICs zugerechnet wird. ASIC-Designer verwenden PLDs überdies für Designprototypen, da sich diese Bausteine zügig programmieren und testen lassen. Je größer die Dichte von FPGAs und CPLDs wird und je weiter der Preis für diese Bauelemente sinkt, um so mehr werden die Designingenieure überlegen, ob sie für ihr Endprodukt nicht ebenfalls einen flexiblen programmierbaren Logikbaustein anstelle eines ASIC einsetzen sollen. PLD-Designer machen sich zudem mit Industriestandard-Tools vertraut, um ihr technisches Wissen auszuweiten, wenn sie mit Bausteinen größerer Dichte arbeiten. So müssen PLD-Anbieter inzwischen VHDL- und Verilog-Lösungen für die Anwender ihrer Produkte anbieten.

Alle bedeutenden EDA-Anbieter haben VHDL- und Verilog-Werkzeuge für ASIC-Designs in ihrer Produktpalette. Hierfür wurde kein Aufpreis verlangt, da die Tools auf den HDLs basieren. Die PLD-Anbieter dagegen haben festgestellt, dass ihre Kunden höhere Preise für die VHDL- und Verilog-Werkzeuge bezahlen, da diese Industriestandards darstellen und einfach in eine kundenspezifische Designumgebung einzugliedern sind. Zahlreiche PLD-Lieferanten geben die Software-Tools sogar kostenlos ab, denn sie sind auf einen hohen Halbleiterabsatz aus. Allerdings sind es nicht die unbeschränkten VHDL- oder Verilog-Software-Tools, die von diesen Unternehmen über ihre Web-Sites kostenlos abgegeben werden. Vielmehr kosten die auf Industriestandard-HDLs basierenden Tools in der Regel mehr als 1000 Dollar. Ein Teil dieses Preises geht auf das Konto der Verträge, die mit den Syntheseanbietern geschlossen werden, damit diese eine Lösung für die speziellen Halbleiterbausteine des jeweiligen Unternehmens entwickeln und sich die Halbleiteranbieter auf die Entwicklung optimierter Place-and-Route- und Fitting-Software konzentrieren können.

Cypress Semiconductor bietet unter der Bezeichnung Warp2 kostengünstige Synthese- und Fitting-Tools für VHDL und Verilog an. Warp2 unterstützt sämtliche PLDs und CPLDs von Cypress und enthält einen Editor für Finite-Zustandsschaltungen (Finite State Machines) sowie eine Funktion für Timing-Simulationen im Anschluss an

die Synthese. Der Designingenieur kann mit Standard-Tools arbeiten, die er entweder separat einsetzen oder in seine individuelle Designumgebung integrieren kann. Der Hersteller konnte den Preis für die Tools – bei gleichzeitiger hoher Ergebnisqualität – gering halten, da das Unternehmen seine eigene HDL-Synthesetechnologie auf der Basis der Standardsprachen VHDL und Verilog schreibt. Es gibt mehr als 60.000 HDL-Designer, die an einer einfachen Integration von Software-Tools in ihre eigenen maßgeschneiderten Umgebungen interessiert sind. Auf dem Gebiet der Design-Tools für programmierbare Logikbausteine sind Standards die unabdingbare Voraussetzung dafür, neue Anwender für FPGAs und CPLDs zu gewinnen und dabei für existierende Anwender den Aufwand für die Integration von EDA-Tools zu verringern. Designeingabe und Synthese auf der Basis von VHDL und Verilog sind in besonderer Weise gefragt, denn sie verleihen dem Designingenieur die Flexibilität, sein Design für mehrere Bausteinfamilien zu spezifizieren und die Quelldateien eines Designs problemlos auf unterschiedliche EDA-Tools zu portieren. Wenn es gilt, die Risiken zu verringern und die Markteinführungszeiten zu verkürzen, führt an HDLs folglich kein Weg vorbei.

(Linda Stone,
Cypress Semiconductor)

Cypress Semiconductor
Tel.: 0 81 06/28 55

PCI-X-Core für PLDs

Altera kündigt die Verfügbarkeit eines PCI-X-Cores als IP-Makrofunktion für PLDs an. Die PCI-X-Technologie ist eine kompatible Erweiterung des PCI-Busses. Die 64-Bit-PCI-X-Architektur bietet Geschwindigkeiten von bis zu 133 MHz und damit Datenraten von bis zu 1 GByte/s – das ist bis zu viermal schneller als die herkömmliche PCI-Bus-Technologie. PCI-X überwindet damit die bisherigen Durchsatzbeschränkungen für Systeme mit noch höheren Bandbreiten. Die PCI-X-Technologie wird als der nächste Standard für die I/O-Interconnect-Server sowie für komplexere Systeme wie industrielle Switched-I/Os, Gigabit Ethernet, Fibre-Channel, Cluster-Verbindungen und Internet-Protokolltelefonie angesehen.

Für die schnelle Entwicklung der PCI-X-Core-IP-Makrofunktion konnte das Mega-Core-Entwicklungs-Team von Altera auch Technologien von Compaq nutzen. Altera ist dabei die erste PLD-Firma, die an dem Golden-Master-Programm von Compaq teilnimmt. Die Mitgliedschaft im PCI-X-Golden-Master-Programm erlaubt es Altera, von der PCI-System-Designerfahrung zu profitieren und die PXI-X-Technologie zu lizenzieren. Das MegaCore-Programm wurde geschaffen, um die Vorteile der Wiederverwendbarkeit von Designs für die Anwender von Altera-PLDs verfügbar zu machen. Die MegaCore-Funktionen werden entwickelt, getestet, dokumentiert und lizenziert. Diese Funktionen sind optimiert für die spezifischen Bauelementarchitekturen von Altera, um spezielle anwenderspezifische Leistungsanforderungen erfüllen zu können. Derzeit umfasst das Programm mehr als 30 Megafunktionen. Der Altera PCI-X-Core ist optimiert für die APEX- und FLEX-Familien. (pa)

Altera
Tel.: 089/3 21 82 50

Flexible Entwicklung mit programmierbarer Logik

Marktübersicht: Programmierbare Logikbausteine

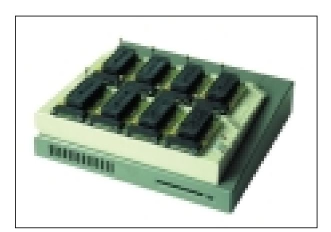
Programmierbare Bausteine werden immer höher integriert und damit komplexer. Waren vor einigen Jahren noch 100.000 Gatter die Obergrenze der Gatteranzahl, so sind jetzt Bausteine mit mehreren Millionen Gattern verfügbar. Damit erschließen sich den programmierbaren Bausteinen wie FPGAs Anwendungsgebiete, die bislang den kundenspezifischen Schaltungen (ASICs) vorbehalten waren. Aufgrund der hohen Komplexität kommt nun bei der Entwicklung der Schaltung in den programmierbaren ICs den Themen Top-Down-Design, Hochsprachenentwicklung und wiederverwendbaren Intellectual-Property-Blöcken steigende Bedeutung zu. Die Informationen der in dieser Marktübersicht aufgelisteten programmierbaren Logikbausteine basieren auf einer schriftlichen Umfrage der Redaktion. (pa)

a) Hersteller b) Telefon c) Fax	Bausteinbezeichnung	Typ: FPGA	CPLD	PLD	Anzahl der nutzbaren Gatter- bzw. Logikzellen	Versorgungsspannung (V)	fmax (MHz)	Gehäuse, Pins	Lieferzeit	Preis in DM
a) Actel b) 08165/9584-0	A54SX, A54SXA	●			72000	3,3/2,5	320	PQFP, VQFP, TQFP, FBGA, PBGA	a. A.	a. A.
c) 08165/9584-10	A500K	●			1,1 Mio.	2,5	200	PQFP, PBGA, FBGA	a. A.	a. A.
	A40MX	●			4000 PLD	5/3,3	180	PLCC, PQFP, VQFP	a. A.	a. A.
	A42MX	●			36000 PLD	5/3,3	245	PLCC, PQFP, PQF, TQFP, VQFP, PBGA, CQFP	a. A.	a. A.
a) Actel/Spoerle Electronic	A54SX	●			72000	3,3/2,5	320	PQFP, VQFP, TQFP, FBGA, PBGA	a. A.	a. A.
	A500K	●			1,1 Mio	2,5	200	PQFP, PBGA, FBGA	a. A.	a. A.
	A40MX	●			4000	5/3,3	180	PLCC, PQFP, VQFP	a. A.	a. A.
	A42MX	●			36000	5/3,3	245	PLCC, PQFP, TQFP, VQFP, PBGA, CQFP	a. A.	a. A.
a) Altera	Apex 20K		●		160 K-2,5 M	2,5/1,8	250	QFP, TQFP, BGA, FBGA		k. A.
b) 089/321825-0	Flex 10 K		●		10-250 K	5/3,3/2,5	160	QFP, TQFP, BGA, FBGA		k. A.
c) 089/321825-79	Flex 6000		●		10-24 K	5/3,3	>100	QFP, TQFP, BGA, FBGA		k. A.
	Max 7000		●		32-1024	5/3,3/2,5	200	PLCC, TQFP, QFP, BGA, FBGA		k. A.
	Ace		●		20-150 K	1,8	160	QFP, FBGA		k. A.
a) Atlantik Elektronik/	ATT 3000	●			2000-9000	5	a. A.	a. A.	a. A.	a. A.
Lucent Technologies	Orca 2	●			4000-50000	3,3/5	a. A.	a. A.	a. A.	a. A.
b) 089/89-505-0 c) 089/89-505-100	Orca 3	●			20000-340000	2,5/3,3/5	a. A.	a. A.	a. A.	a. A.
a) Atmel ES2 b) 08035/901817	AT 6000	●			10-20 K	3/5	250	PLCC84, VQFP100, TQFP144, 208PQFP, 290PQFP	6-8 Wochen	ab 10 $
c) 08035/901833	AT 40K	●			5-50	3/5	100	PLCC, TQFP, VQFP, PQFP, BGA, 84-932	6-8 Wochen	ab 13 $
	ATF 15XX		●		32-256	3/5	7 ns	44-260 Pin	4-6 Wochen	ab 2,50 $
	ATF 750		●		2x220	5	7 ns	24-28 Pin	4-6 Wochen	ab 2,00 $
	16V8, 20V8, 22V10			●		3/5	5 ns	20, 24, 28	2-4 Wochen	a. A.
a) Chip Express/	CX3000	●			33 ok	3/5	150	diverse	24 Stunden	a. A.
Trias Mikroelektronik b) 02151/95301-0 c) 02151/95301-15	CX2000	●			12 ok	3/5	100	diverse	24 Stunden	a. A.
a) Cypress Semiconductor	Delta39K		●		473	1,8-5	313	PQFP, BGA, FBGA, PLCC	a. A.	a. A.
b) 08106/2448-0 c) 08106/20087	Up to 22V10			●		5	181	DIP, LCC, PLCC	a. A.	a. A.
a) EBV Elektronik/ Altera	Max			●	600-12000	2,5/3,3/5	200	PLCC, QFP, BGA/44, 84, 100, 160, 144, 208, 256	0-8 Wochen	ab 2
b) 089/99114-0 c) 089/99114-422	Apex		●		60000-1,500000	1,8/2,5	200	TQFP, BGA, PQFP, RQFP, PGA	0-10 Wochen	ab 80
	Flex		●		10000-250000	2,5/3,3/5	204	PLCC, QFP, BGA, PGA/84, 100, 144, 208, 240, 356, 484, 503, 600	0-8 Wochen	ab 20
a) Insight b) 089/61108-0	Virtex	●			1728-27648	2,5	200	CSP144, TQFP144, PQFP 240, BGA256-560	0-6 Wochen	72-2200
c) 089/61108-161	Virtex-E	●			1728-73008	1,8	225	CSP144, PQFP240, BGA 432, 560, Fine Pitch BGA 256-1156	8 Wochen	ab 70

a) Hersteller b) Telefon c) Fax	Baustein-bezeichnung	Typ FPGA	Typ CPLD	Typ PLD	Anzahl der nutzbaren Gatter- bzw. Logikzellen	Versor-gungs-spannung (V)	fmax (MHz)	Gehäuse, Pins	Lieferzeit	Preis in DM
a) Insight	Spartan II	●			238-1862	3,3	120	PLCC44, VQFP100, CSP144, 280, TQFP144, PQFP208, 240, BGA256	0-4 Wochen	13-49
	XC4000XLA	●			1368-7448	3,3	200	PQFP160-304, BGA256-560	0-6 Wochen	78-515
	Cool Runner XDLA 2		●		320-960	3,3	125	TQFP60, BGA256, 492	6-8 Wochen	64-300
	Spartan	●			238-1862	5	80	PLCC84, VQFP100, CSP144, 280, TQFP144, PQFP208, 240, BG256	0-4 Wochen	14-70
	Cool Runner XPLA		●		32-128	5	125	PLCC44, 84, 68, TQFP44, 100, PQFP100, 160, VQFP128	6 Wochen	4-28
	XPLA		●		32-128	3,3	120	PLCC44, TQFP44, 100, VQFP 128	6 Wochen	4-28
	XC9500		●		36-288	5	180	PLCC44-84, CSP48, TQFP100, PQFP100-208, VQFP44, BGA 252	0-6 Wochen	6-59
a) Lattice Vantis b) 089/31787-810 c) 089/31787-830	ISPLSI		●	●	32-1152	5/3,3	225	PLCC, TQFP, MQFP, PQFP	0	k. A.
a) Lattice Vantis/ Spoerle Electronic	Palce 16V8			●	600	3,3/5	5 ns	DIP, PLCC	a. A.	a. A.
	Palce 20V8			●	700	5	5 ns	DIP, PLCC	a. A.	a. A.
	Palce 22V10			●	900	3,3/5	5 ns	DIP, PLCC	a. A.	a. A.
	M4		●		32, 64, 96, 128, 192, 256	5/3,3	5, 7, 10, 12, 15 ns	TQFP, PLCC, BGA	a. A.	a. A.
	M5		●		32, 64, 96, 128, 192, 256	5/3,3	5, 7, 10, 12, 15 ns	TQFP, PLCC, BGA	a. A.	a. A.

a) Hersteller b) Telefon c) Fax	Baustein-bezeichnung	Typ FPGA	CPLD	PLD	Anzahl der nutzbaren Gatter- bzw. Logikzellen	Versor-gungs-spannung (V)	fmax (MHz)	Gehäuse, Pins	Lieferzeit	Preis in DM
a) **Metcomp**/Cypress	Delta 39K		●		256-5376 MC	3,3/2,5	250	PQFP, BGA, FBGA	Musterstatus	k. A.
b) 089/615239-0	Ultra 37000		●		32-512 MC	5/3,3	222	PLCC, TQFP, BGA	Musterstatus	k. A.
c) 089/615239-43	Flash 370i		●		32-128 MC	5	143	PLCC, TQFP	Musterstatus	k. A.
	Max 340		●		32-192 MC	5		WLCC, PLCC, PDIP, BGA	Musterstatus	k. A.
	PAL			●	16-22 MC	5	100		Musterstatus	k. A.
a) **Metcomp**/Cypress	Pro Asic	●			1,1 Mio	2,5/3,3	250	PQFP, PBGA, FBGA	a. A.	a. A.
	SX-A	●			108 K	2,5/3,3/5	330	PQFP, TQFP, BGA	a. A.	a. A.
	MX	●			54 K	3,3/5	250	PLCC, TQFP, BGA, PQFP	a. A.	a. A.
a) **MSC**/Actel	A54 SX/A	●			8-72 K	2,5/3,3/5	320	PQFP, VQFP, TQFP, BGA	a. A.	a. A.
b) 07249/910-514 c) 07249/910-544	A 500 K/ Pro Asic	●			43-410 K	2,5/3,3	200	PQFP, PBGA, FBGA bis 580 YOs	a. A.	a. A.
	A40 MX	●			2-36 K	3,3/5	250	PLCC, PQFP, VQFP, TQFP, CQFP, BGA	a. A.	a. A.
	A 42 MX	●			2-36 K	3,3/5	250	dto.		
a) **Quicklogic** b) 089/93086170	pAsic 1	●			1-8 K	5	200	44PLCC, 68PLCC, 84PLCC, 100TQTP, 144TQFP, 208PQFP	3 Wochen	k. A.
c) 089/93086528	pAsic 2	●			3-9 K	3,3/5	200	84PLCC, 100TQFP, 144TQFP, 208PQFP, 256PBGA	3 Wochen	k. A.
	pAsic 3	●			4-60 K	3,3	300	84PLCC, 100TQFP, 144TQFP, 208PQFP, 256ABGA, 456 pBGA, 68PLCC	3 Wochen	k. A.
	Quick RAM	●			9-90 K	3,3	300	68PLCC, 84PLCC, 100TQFP, 144TQFP, 208PQFP, 240PQFP, 256PBGA, 456PBGA	3 Wochen	k. A.
	Quick AI	●			20 K	3,3	300	144TQFP, 268PQFP, 256 PBGA	3 Wochen	k. A.
	QL5X30	●			20 K	3,3	300	dto.	3 Wochen	k. A.
	Quick PCI	●			50 K	3,3	300	208PQFP, 256PBGA, 456 PBGA, 208COFP	3 Wochen	k. A.
	QL5X32	●			50 K	3,3	300	dto.	3 Wochen	k. A.
	Quick PCI QL5064	●			30 K	3,3	300	456ABGA	3 Wochen	k. A.
	Military Ceramic	●			IK-90 K	3,3/5	200	68CPGA, 84CPGA, 100CQFP, 144CPGA, 160CQFP, 208 CQFP, 280CQFP, 256CPGA	4-6 Wochen	k. A.
	Military Plastic	●			8-90 K	3,3/5	200	84PLCC, 208PQFP, 240PQFP, 456PBGA	4-6 Wochen	k. A.
a) **Quicklogic**/Impact	Pasic 1	●			2000-60000	5/3,3		PLCC, QFP, BGA, CQFP, CPGA	3-4 Wochen	a. A.
	Pasic 2	●			2000-60000	5/3,3		PLCC, QFP, BGA, CQFP, CPGA	3-4 Wochen	a. A.
	Pasic 3	●			2000-60000	3,3		PLCC, QFP, BGA, CQFP, CPGA	3-4 Wochen	a. A.
	Quick RAM	●			9000-60000	3,3		PLCC, QFP, BGA, CQFP, CPGA, QFP, BGA	3-4 Wochen	a. A.
	Quick PCI	●			5000-50000	3,3		PLCC, QFP, BGA, CQFP, CPGA, QFP, BGA	3-4 Wochen	a. A.
a) **Scantec**/Clearlogic b) 089/899143-0 c) 089/899143-27	CL7256A			●	5000	3,3	250	100PinTQFP, 100PinBGA, 144PinTQFP, 208PinPQFP, 256PinBGA	a. A.	a. A.
	CL7512A			●	10000	3,3	166	144PinTQFP, 208PinPQFP, 256PinBGA	a. A.	a. A.
a) **Scantec**/WSI	PSD813		●	●	73	5	11	52PinPLCC	a. A.	a. A.
a) **Technosoft** b) 0041/32/732550 c) 0041/32/7325504	Motion Chip				Embedded Controls	5	20	144	ab Lager	k. A.
a) **Xilinx**	Virtex Familie	●			bis 3,2 Mio	2,5-1,8	300	Lead Pitch, CSP etc.		k. A.
b) 089/93088-0 c) 089/93088-188	9500/Coolrunner Familie		●		36-960	5/3,3/2,5	200	alle gängigen	ab Lager	a. A.
	Spartan Familie	●			5000-150000	5/3,3/2,5	200	alle gängigen	ab Lager	a. A.
a) **Xilinx**/Insight	XC9500		●		36-288 MCs	5	180	PLCC, CSP, TQFP, PQFP, VQFP, BGA	bis 6 Wochen	6-59
	XC9500L		●		36-288 MCs	3,3	220	PLCC, CSP, TQFP, PQFP, VQFP, BGA, PQFP	a. A.	a. A.

Universal-Mehrfachprogrammiergerät



Das Universal-Mehrfachprogrammiergerät GANG-08 von HI-LO Systems ermöglicht die Programmierung von bis zu acht EPROMs, EEPROMs, Flash-EPROMs, Serial-PROMs, MCUs, MPUs, GALs, DSPs und andere Bausteintypen. Durch einfaches Wechseln der sogenannten HEADs (Sockel) können verschiedene Gehäuseformen wie DIP, PLCC, SOP, SOIC, TSOP, SSOP, QFP, TQFP, MQFP u.v.a. unterstützt werden. Standardmäßig wird das Gerät mit acht DIP-32-Sockeln ausgeliefert. Durch eine integrierte High-Speed-CPU und einen erweiterbaren Memory-Buffer von 1 MBit (Standard) ist das Gerät flexibel und auch für die Zukunft gerüstet. Das Standard-Mermory ist optional über eine SRAM-Karte auf bis zu 128 MBit erweiterbar. Über eine serielle High-Speed-Schnittstelle, die einen Datenaustausch mit bis zu 115 KBaud ermöglicht, ist der Betrieb des Programmers an jedem PC oder Laptop über Windows 3.1/3.11 oder Windows 95 möglich. Dank der neuen SMD-SIMM-Modul-Pin-Treibertechnologie sind »Standard«- und »Low Voltage«-lCs mit hoher Geschwindigkeit, Genauigkeit und Zuverlässigkeit test- und programmierbar.

Die kompakte Bauweise ermöglicht einen Einsatz in der Entwicklung, Produktion sowie im Service. (pa)

HI-LO Systems
Tel.: 0 80 71/5 95 30

Embedded-Memory-LCD-Controller

Der Memory-LCD-Controller SED1375 ist ein LCD-Grafikcontroller für Farb-/Monochromdarstellung mit integriertem 80 KByte SRAM-Speicher. Durch seine hohe Integrationsdichte ist er eine wirtschaftliche Single-Chip-Lösung mit geringem Stromverbrauch. Der Baustein kann überall dort eingesetzt werden, wo es auf geringe Board-Größe und hohe Batterielebensdauer ankommt – z.B. in den Geräten der Büroautomatisierung, in der mobilen Kommunikation und bei der Palmtop-Technologie.

Für Produkte, die ein hochformatiges Display benötigen, bietet der Baustein einen speziellen »Hardware-Portrait-Modus«. Daneben werden zahlreiche weitere Display-Modi unterstützt, darunter Virtual-Display und Split-Screen. Der Baustein wurde zwar insbesondere für Geräte mit dem Betriebssystem Microsoft Windows CE entwickelt, ist jedoch nicht von bestimmten CPUs oder Betriebssystemen abhängig und daher für ein breites Anwendungsspektrum geeignet. Die Leistungsmerkmale im einzelnen sind: integrierter SRAM-Display-Speicher (80 KByte), direkte Unterstützung folgender CPUs: Hitachi SH-3, SH-4, Motorola M68xxx, MPU-Bus-Interface mit programmierbarem READY, Auflösung bis zu 640 x 480 Bildpunkte bei 2 bpp Farbtiefe, 640 x 240 bei 4 bpp Farbtiefe und 320 x 240 bei 8 bpp Farbtiefe. Bis zu 256 Farben aus einer Palette von 4096 Farben bei STN und aktiven TFT-/D-TFD-LC-Displays, Register-Level-Support für EL-Panels, Hardware-Portrait-Modus und Split-Screen-Modus. (pa)

SE Spezial Electronic
Tel.: 0 57 22/20 30

Programmierbarer Ersatz für ASICs und ASSPs

Xilinx stellt mit der Spartan-II-Familie seine neueste FPGA-Generation vor, die als programmierbare Low-cost-Alternative zu ASICs und ASSPs konzipiert. So kostet zum Beispiel der mit 100.000 Systemgattern ausgestattete Baustein Spartan-II-XC2S1OO bei einer Abnahme von 250.000 Stück (-5 Speed Grade, TQ-144 Gehäuse) unter zehn Dollar. Dank der neuen Features, so hebt der Hersteller hervor, erschließt sich die Spartan-Il-Familie weitere High-Volume-Applikationen und öffnet als Alternative zu ASSPs zahlreiche neue Märkte für programmierbare Logik. Diese Familie erlaubt die Programmierung von mehreren I/O-Standards (einschließlich 5-V-Toleranz). On-Chip-Block-RAM und Digital-Delay-Lock-Loops für Chip-Level- und Board-Level-Clock-Management sind weitere Besonderheiten. Aufgrund dieser Eigenschaften können die Familienmitglieder als Ersatz für komplexe ASSP-Funktionen wie zum Beispiel MIPS-PCI-Bridge, Virterbi-Reed-Solomon-Decoder und QDR-Memory-Controller (Quad-Data-Rate-RAM) eingesetzt werden. Die Implementierung effizienter IP-Cores in diese FPGAs ermöglicht bei diesen Anwendungen – im Vergleich zu verfügbaren ASSP-Lösungen – weitaus wirtschaftlichere Designs. Viele einfache ASSPs wie etwa Phase-Lock-Loops, FIFOs, I/O-Translator und Systembus-Treiber können beim Einsatz dieser FPGAs zusätzlich eingespart werden; Funktionen wie diese waren bisher zum Aufbau von kompletten Systemdesigns erforderlich.

Die FPGAs werden mit 2,5 V versorgt und verfügen über eine besondere Stromsparfunktion. Deshalb sind die neuen FPGAs speziell für den Einsatz in vielen kostenkritischen Produkten einsetzbar. Die FPGAs werden in einem 0,18-µm-Prozess mit sechs Metallisierungsebenen gefertigt. Zur Familie gehören fünf Bausteine mit 15.000 bis 150.000 Systemgattern.

Die FPGAs werden von den Software-Paketen (Version 2.1i) der Alliance-Series und Foundation-Series von Xilinx sowie von Design-Entry-Tools von EDA-Anbietern, darunter Cadence, Exemplar, Mentor, Mode! Technology, Synopsys und Synplicity, in allen Funktionen unterstützt. (pa)

Xilinx
Tel.: 089/93 08 80

Komplexes FPGA im Fine-Pitch-BGA

Actel gibt die Verfügbarkeit seines 108.000 Systemgatter großen, nichtflüchtigen FPGAs mit der Bezeichnung A545X72A im 484-poligen Fine-Pitch-BGA bekannt. Aufgrund seiner Kombination aus Performance, geringem Leistungsverbrauch, niedrigen Kosten, hohem Pin-Count und reduzierten Abmessungen erfüllt der Baustein alle I/O-Anforderungen von modernen, programmierbaren High-Density-Designs. Das BGA484-Gehäuse mit seinen 1,0 mm großen Ballabständen beansprucht den gleichen Platz wie ein Standard-BGA mit Ball-Abständen von 1,27 mm und 256 Anschlüssen. Dank der reduzierten Abstände konnte bei dem neuen BGA484-Gehäuse die Anzahl der I/Os erhöht werden. Dies ermöglicht Entwicklern den Einsatz von FPGAs mit kleineren Abmessungen und höheren I/O-Counts. (pa)

Actel
Tel.: 0 81 65/9 58 40

CPLDs mit kleiner Stromaufnahme

Philips Semiconductor und Xilinx haben die Übernahme der CoolRunner-CPLD-Serien durch Xilinx abgeschlossen. Wichtig für Anwender: Alle Bausteine der CoolRunner-Familien bleiben auch weiterhin in Produktion. Das herausragendste Merkmal der CoolRunner ist sicherlich der niedrige Stromverbrauch mit Standby-Strömen kleiner < 0,1 mA, woraus sich eine sehr hohe Systemzuverlässigkeit ergibt. Die kurzen Signaldurchlaufzeiten (tpD) von 6 ns In-System, die Programmierbarkeit über JTAG-Anschlüsse sowie die guten Routing- und Pin-Locking-Eigenschaften erleichtern den Umgang mit diesen CPLDs. Die CoolRunner-Familien sind sowohl für 3,3 V als auch für 5 V Versorgungspannung erhältlich, wegen der geringen Stromaufnahme stehen Gehäuse mit kleinsten Abmessungen zur Verfügung. In vier unterschiedlichen Bausteinfamilien werden CPLDs mit Komplexitäten von 10 bis 960 Makrozellen angeboten. Die Software XPLA Professional (Schaltungseingabe, Designverifikation, Simulation des dynamischen Leistungsverbrauchs. Device-Fitter für alle CoolRunner-Bausteine) kann kostenfrei von der Xilinx Homepage geladen werden, ebenso wie die Programmier-Software XPLA PC-ISP, die sich auch für die CoolRunner eignet. (pa)

Insight
Tel.: 089/6110 80

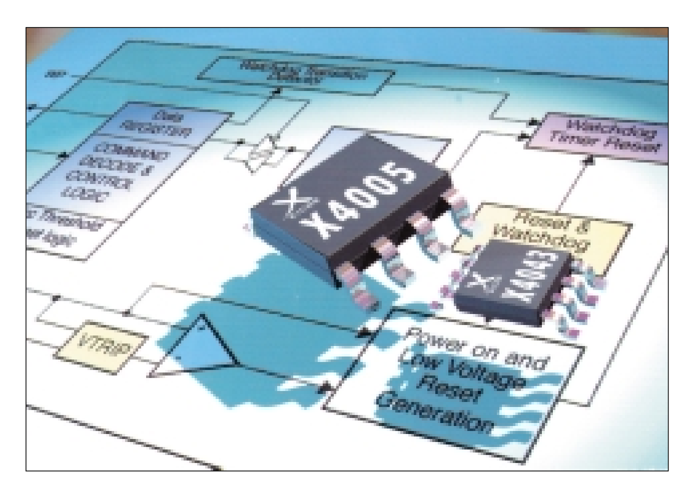
Embedded-FPGAs

LSI Logic hat mit der Erweiterung der CorWare-Bibliothek um einen Embedded-FPGA-Core nach eigener Einschätzung einen wichtigen Durchbruch im Hinblick auf programmierbare Applikationen hoher Stückzahlen erreicht. Die Embedded-FPGA-Technologie bedeute einen wichtigen Entwicklungsschritt in der Strategie, System-on-a-Chip-Applikationen eine größere Funktionalität zu verleihen. Die Kombination der FPGA-Technologie mit System-on-a-Chip-ASICs und ASSPs bietet Entwicklern das Beste aus beiden Welten: FPGA-Flexibilität sowie die Kosten-, Abmessungs- und Leistungsvorteile der ASIC-/ASSP-Technik. Die Einbettung eines FPGA-Core in ein ASIC eröffnet eine Palette von Designoptionen für die Systementwickler. Zu den ersten Applikationen zählen: Vor-Ort-Upgrades und Fehlerbeseitigungen, Varianten von System-on-a-Chip-Produkten für verschiedene Applikationen, Echtzeitänderungen innerhalb von Systemumgebungen sowie verkürzte Prototypentwicklungs- und Gesamtverifizierungszeiten.

Die FPGA-Technologie ist für Embedded-Applikationen optimiert und wird in LSI Logics G12-Prozesstechnologie implementiert, die sich durch eine effektive Kanalbreite von 0,13 µm (gezeichnet 0,18 µm) auszeichnet. Sie bietet eine höhere Dichte, bessere Leistung und eine kürzere Testzeit als Standard-FPGA-Architekturen. Am wichtigsten ist jedoch, dass die Architektur für den ASIC-Designablauf entwickelt wurde und deshalb eine unkomplizierte Integration der Werkzeuge und der Methoden in die FlexStream-Entwicklungsumgebung von LSI Logic ermöglicht. LSI Logic erwarb für diese Technologie eine Lizenz von der Adaptive Silicon, Inc. (ASi) in Los Gatos, Kalifornien, einem neu gegründeten Unternehmen, das programmierbare Logic-Cores für die Integration mit Mikroprozessoren, Speichern und anderen Standardfunktionen entwickelt. (pa)

LSI Logic
Tel.: 089/45 83 6130

I²C in feldprogrammierbare CPU-Supervisors integriert



Xicor präsentiert, die feldprogrammierbaren I²C-Versionen seiner CPU-Supervisor-Familie. Damit können die Vcc-Sensoren und WDT-Intervalle im Feld neu gesetzt werden. Der X4043 und der X4045 integrieren die Funktionen für den Power-on-Reset, den WDT und die Vcc-Sensor mit 4 K elektrisch löschbarem Speicher auf einem einzelnen Baustein. Darüber hinaus enthalten diese Bausteine eine serielle 400-kHz-I²C-Schnittstelle. Die Bausteine X4003 und X4005 besitzen – mit Ausnahme des Speichers – denselben Funktionsumfang wie der X4043 bzw. X4045. X4003 und X4043 haben aktives Rücksetzen bei niedrigem Pegel, X4005 und X4045 aktives Rücksetzen bei hohem Pegel implementiert. Der WDT kann vom Benutzer auf Zeitintervalle von 200 ms bis 1,4 s eingestellt und zum Austesten (Debugging) der System-Software deaktiviert werden. Die Niederspannungspegel, die den Rücksetzvorgang auslösen, lassen sich mit einer Genauigkeit von 25 mV auf einen Wert zwischen 1,7 und 4,75 V einstellen. Sollten sich die Systemanforderungen ändern, können diese Schwellenwerte für den Rücksetzvorgang neu programmiert werden.

Dank dieser Funktionen kann der Techniker Bausteinparameter exakt einstellen und dadurch die Leistung des Systems insgesamt optimieren. (pa)

Xicor
Tel.: 089/46 00 80

Starter-Kits für CPLDs und FPGAs

Um Anwendern die Einarbeit im Umgang mit CPLDS und FPGAs zu erleichtern, hat die Memec-Gruppe innerhalb der Veba Electronics für verschiedene Xilinx-Produktfamilien spezielle Starter-Kits entwickelt. Einsteiger erhalten damit ein Komlettpaket, bestehend aus Software, Leiterplatte (bestückt mit einem PLD-Baustein aus der Zielfamilie) und einem Download-Kabel zum Programmieren des Bausteins vom Rechner aus. Interessant für Xilinx-Anwender, die bereits die Software im Hause haben: Die Development-Boards sind auch separat ohne Software erhältlich. Das CPLD-Starter-Kit ist ein Entwicklungs-Komplettpaket zur einfachen Umsetzung von CPLD-Applikationen. Neben der neuesten Xilinx-Foundation-Base- bzw. Base-Express-Software sind ein XC9500-CPLD-Development-Board, ein JTAG-Download-Kabel für PC sowie umfangreiches Applikationsmaterial enthalten. Optimiert für die Entwicklung der Low-cost-FPGA-Serie Spartan ist das Spartan-Development-Kit. Neben der Foundation-Base- bzw. Base-Express-Software sind die »En-Core«-CD-ROM von Memec Design Services enthalten (enthält 15 Core-Schaltungen für Spartan-FPGAs) sowie ein Spartan-Development-Board (mit einem Spartan-FPGA mit 30.000 Gatter), das sich durch ein analoges CODEC-Interface-Board für DSP-Designs erweitern lässt. Mit enthalten ist auch ein JTAG-Download-Kabel für PCs. Mit der flexiblen Testplattform des Virtex-Development-Kits beschleunigt man Virtex-Designs. Im Kit enthalten sind ein Virtex-Development-Board, ausgestattet mit einem XCV300-FPGA, achtstelligem Display, schnellen synchronem DRAM und ein Erweiterungsstecker für das DSP-Development-Board. Das Kit bietet eine Vielzahl nützlicher Eigenschaften und enthält wahlweise die neueste Xilinx-Alliance- oder eine Foundation-Express-Software (inklusive VHDL- und Verilog-Design-Entry). Die beigelegte »En-Core« CD-ROM stellt Cores für I²C, Reed-Solomon-Encoder, synchrone DRAM-Controller und UART bereit. Ein JTAG-Download-Kabel für PCs ist ebenfalls enthalten.

Mit dem DSP-Development-Kit steht Anwendern der Spartan- und Virtex-Development-Kits eine Erweiterungsoption zur Verfügung, sich mit dem Entwurf von DSP-Designs mittels FPGAs vertraut zu machen. Das Kit enthält alle Werkzeuge für den Entwurf, die Implementierung und Verifikation von DSP-Applikationen: Eine Evaluierungsversion der Filter-Design-Software von Elanix, FIR-Filter-Designbeispiele zu Spartan-FPGAs (bald auch für Virtex) sowie ein analoges CODEC-Interface-Board, passend für die Spartan- und Virtex-Development-Boards. Das CODEC Board unterstützt volles 16-Bit-Stereo-Audio und ist mit Mikrofon und Stereokopfhörer ausgestattet. (pa)

Insight
Tel.: 089/6110 80

Turbo-Gang-Programmiergerät



ELS electronic präsentiert mit LabTool-848-LV das neue Turbo-Gang-Programmiergerät von Advantech. Das modulare Gerät verfügt über vier Einschubmodule mit jeweils zwei gesockelten 48-poligen Programmierfassungen die untereinander elektrisch isoliert sind, da sie jeweils über eigene FPGA-Schaltkreise mit der High-Speed-Mikrocontrollersteuerung verbunden sind. Dieses Konzept ermöglicht die Implementierung verschiedener Automatismen wie Auto-Sence und Auto-Start für die Betriebsart Standard-Mode, in der die Programmierung nach Bestücken der achten Fassung automatisch gestartet wird, ohne dass ein Tastendruck oder Mausklick erforderlich ist. Für die Programmierung von z.B. acht 8-MBit-FLASH-EPROMs werden dabei nur 32 s benötigt. Der in dieser Betriebsart übliche Overhead für das Bestücken der Fassungen wird in der Betriebsart Semi-Concurrent fast vollständig eliminiert. Während zyklisch vier Fassungen gerade programmiert werden, können die anderen vier bequem bestückt werden und starten dann automatisch. Der Status jeder Fassung wird in einem Realtime-Bildschirm dargestellt. Der Ausfall einer oder mehrerer Fassungen führt keinesfalls zum Stillstand der Programmieranla-

ge, da sich jede Fassung einzeln deaktivieren lässt und das Gerät dann weiterarbeitet. LabTool-848 ist low-voltage-tauglich und unterstützt Flash-ERPOMs bis 256 MBit sowie Mikrocontroller von Atmel, Intel, Microchip, Motorola, Philips, Siemens und Temic, insgesamt über 1200 Typen. Alle Bauteile im DIL-Gehäuse mit bis zu 48 Anschlüssen werden ohne weiteres Zubehör direkt unterstützt. Für andere Gehäuseformen benötigt der Programmer keine teuren Sockelmodule, die mit mehr oder weniger aufwendiger Elektronik ausgestattet sind. Es wird jeweils nur ein handelsüblicher 1 zu 1 umsetzender Universaladapter einer Art und Größe benötigt wie z.B. PSOP-44 oder TSOP-48. (pa)

ELS electronic
Tel.: 02 03/9 91 71 40

Programmierbare Analogbausteine

Lattice Semiconductor gibt mit der ispPAC-Familie seinen Einstieg in die Welt der programmierbaren Analogbausteine bekannt. Die ersten beiden verfügbaren Bausteine dieser Familie sind der ispPAC10 und der ispPAC20. Diese Familie, die als »analoge PLD-Bausteine« bezeichnet werden, stellt die einfach zu handhabenden schnellen und flexiblen Entwurfsmöglichkeiten von programmierbaren Logikbausteinen für Analogentwickler zur Verfügung. Die Bausteine integrieren bis zu 60 aktive und passive Analogkomponenten mit Hunderten von Einstellmöglichkeiten in einem einzigen IC. Entwicklungsingenieure können mit einer PC-basierenden, dem inneren Aufbau dieser Bausteine nachempfundener, schematischer Eingabe die Charaktaristik und Parameter dieser Komponenten beschreiben und miteinander verbinden. Der Baustein wird anschließend im System programmiert und kann jederzeit bei Bedarf erneut programmiert werden. Systeme interagieren mit der Umwelt, und das erfordert die Einbindung von analogen Signalen wie z.B. Temperatur, Spannung, Strom oder Druck. Ingenieure entwerfen normalerweise die Analogschaltungen auf dem Papier, dem Computer oder sie bauen einen Prototypen auf. Aber es ist aufgrund der Ungenauigkeit der verwendeten Komponenten und der physikalischen Eigenschaften des Layouts oft nicht vorhersehbar, wie sich die Schaltung verhält. Aus diesem Grund verzögert sich die Markteinführung oft erheblich. Genau hier setzt die neue ispPAC-Technologie an.

Der ispPAC10 verbindet vier analoge Filterblöcke, die so genannten PAC-Blöcke, über ein analoges Routing-Pool. Die Filterblöcke können als Verstärker, Addierer oder Integrierer beschaltet werden und haben eine einstellbare Verstärkung von ± 20x pro Block. Bei Reihenschaltung von mehreren PAC-Blöcken kann so eine Verstärkung von 0 bis 160.000 in Millionen von Schritten realisiert werden. Außerdem können die PAC-Blöcke als einfach zu konfigurierende Präzisions- oder Bandpassfilter zweiter, dritter oder vierter Ordnung im Bereich zwischen 10 kHz bis 100 kHz verwendet werden.

Die ispPAC20-Bausteine haben zwei PAC-Blöcke, zusätzlich sind noch ein 8-Bit-D/A-Wandler und zwei Komperatoren enthalten. Die ispPAC-Bausteine verfügen über eine Linearität von 88 dB bei 10 kHz sowie über einen hohen Dynamikbereich (> 100 dB). Die Ein- und Ausgänge sind differentiell und verwenden eine einfache Versorgungsspannung von + 5 V im industriellen Temperaturbereich. Da die ispPAC-Bausteine über die In-System-Programmierbarkeit (isp) ver-

fügen, können beide Bausteine im eingelöteten Zustand programmiert werden Hierdurch werden Entwicklungszeiten deutlich verkürzt und vereinfacht.

Die PAC-Designer-Software ist eine integrierte Entwicklungsumgebung, die es dem Designer ermöglicht, durch eine schematische, der Architektur der Bausteine nachempfundenen Eingabemöglichkeit schnell und einfach zum gewünschten Ergebnis zu gelangen. Sie ist verfügbar für Windows 95, Windows 98 und Windows NT. Mit der Software PAC-Designer für PCs können Entwickler die gewünschten Analogkomponenten, ihre Verbindung untereinander sowie ihre Charakteristika auf dem Bildschirm einstellen. Da dies alles in einem Gehäuse untergebracht ist, kann der Entwickler jetzt vom »What you see is what you get«-Vorteil dieser Software profitieren und gleichzeitig das Verhalten der gewünschten Eigenschaften simulieren. Jeder ispPAC-Baustein liefert hierbei im Rahmen der Toleranz dieselben präzisen Ergebnisse, sodass das fertige Produkt früher auf den Markt gebracht werden kann. BIQUAD- und LADDER-Filter sind auch für Analogentwickler sehr komplexe und komplizierte Filterfunktionen. Diese können jetzt mit Hilfe von vordefinierten Makros schnell und einfach realisiert werden, in dem die gewünschten Eigenschaften wie z.B. Grenzfrequenz im Klartext eingegeben werden. Die Software generiert dann die gewünschte schematische Darstellung auf dem Bildschirm sowie dessen entsprechendes Verhalten. Der Unterschied zu allgemein bekannten Filter-Synthese-Tools ist, dass das Ergebnis gleich in einen Baustein der ispPAC-Familie programmiert werden kann.

Die ispPAC10- und ispPAC20-Bausteine sowie die PAC-Designer-Software sind ab sofort verfügbar. Die Evaluierungs-Kits PACsystem10 und PACsystem20 können ebenfalls bestellt werden. Diese Kits enthalten die Software, Muster, Programmierkabel, Evaluierungs-Boards, technische Dokumentation und Applikationsbeispiele. (pa)

Lattice
Tel.: 089/3178 7810

Programmiergerät für PICs



Die neueste Entwicklung von Bamberg & Monsees, das Programmiergerät der Baureihe P16PGP, stellt ein erweitertes Modell auch für parallele Programmierung bestimmter PIC-Bausteine dar. Es handelt sich hier um ein Gerät, das speziell für die Prototypenfertigung gedacht ist. So wurde auf eine einfache und sichere Bedienung sowie einen niedrigen Preis besonderen Wert gelegt. Die zum Betrieb des Geräts benötigte Software ist im Paketpreis von rund 300 Mark enthalten. Mit der jetzt verfügbaren Software können bereits über 70 Bausteine aus der PIC-Serie programmiert werden. Selbstverständlich können auch bereits programmierte Bausteine ausgelesen und geprüft werden. Speicherbereiche lassen sich mit dem integrierten Editor manipulieren und überprüfen. Alle Features der PIC-Bausteine (Watchdog, Power-up-timer, OSC, Security) werden sowohl durch die Hardware als auch durch die Software unterstützt. Die Liste der bereits definierten PIC-Bausteine kann leicht erweitert werden, um auch neue noch nicht aufgenommene PIC-Typen programmieren zu können. Das Gerät ist mit einem 40-poligen ZIF-Sockel ausgerüstet und bietet so die Möglichkeit, alle Bausteine in Gehäusen bis DIL-40 schnell und schonend einzusetzen und zu entnehmen. Für Bausteine im PLCC-Gehäuse sind Adapter verfügbar. Das Konzept des Programmers erlaubt auch die In-Circuit-Programmierung der PIC-Bausteine. Hierzu können spezielle Anschlusskabel geliefert werden. Diese Kabel werden direkt auf die eingebauten PIC-Bausteine aufgesteckt. Über ein 25-poliges Kabel wird das Gerät an die parallele Schnittstelle eines PCs angeschlossen. Die neue Software mit einer Windows-Bedienoberfläche läuft sowohl unter DOS, Windows 3.1 als auch Windows 95 und 98. Drei an der Frontplatte sichtbare Leuchtdioden geben Auskunft über den jeweiligen Status des Geräts. Das kompakte aber dennoch robuste Aluminium-Profilgehäuse erlaubt sowohl den mobilen Einsatz als auch den Betrieb in Werkstatt, Prüffeld und Produktion. (pa)

Bamberg & Monsees
Tel.: 04 21/64 67 75

EDA-Unterstützung für FPGAs

Exemplar Logic, eine 100prozentige Tochter von Mentor Graphics, kündigt an, dass seine Synthese-Software LeonardoSpectrum 99.1 die High-Capacity Virtex-E FPGA-Familie von Xilinx unterstützt. LeonardoSpectrum ermöglicht es, Strategien zur Verwirklichung hochkomplexer Designs einzusetzen. Dies schließt Team-Design, inkrementelle Synthese und Third-Party-IP-Integration ein. Der LeonardoSpectrum-Support für Virtex-E umfasst deutlich verbesserte Laufzeitschätzungen vor dem Route-Vorgang. Genaue Schätzungen des Timings stellen sicher, dass die pfadbasierende Timing-Optimierung den korrekten, kritischen Pfad identifiziert und optimiert. So werden qualitativ hochwertige Resultate erzielt. Zudem enthält die Synthese-Software mehrere Xilinx-spezifische Optimierungen wie z.B. den Support für Pipelined-Multipliers für Virtex- und Virtex-E-Technologien. Weitere Verbesserungen umfassen den Support für die DLL-Zelle (Delayed Locked Loop), Support für neue E/A-Puffer und verbesserten Block-RAM-Rückschluss. (pa)

Mentor Graphics
Tel.: 089/57 09 60

DSP-Core auf Basis eines offenen Standards

SI Logic hat sein Produktangebot um einen DSP-Core erweitert, der auf der ZSP-DSP-Architektur basiert. Der ZSP400-Core zielt auf System-on-a-Chip-Designs, die vom Kunden entwickelt werden. Damit steht dieser Core für kundeneigene Entwicklungen von ASIC-Implementierungen mit Hilfe der CoreWare-Methoden zur Verfügung. Der DSP-Core kann für spezifische Applikationsanforderungen im Hinblick auf Geschwindigkeit, Verlustleistung und Chipfläche optimiert werden. Das resultierende Design lässt sich als bewährtes Designelement durch das Coreware-Programm beschreiben. Die Anwender profitieren dabei von dem flexiblen Designablauf, während gleichzeitig die Sicherheit eines Right-First-Time-Designs erreicht wird. Der ZSP400 verbessert LSI Logics bisherige OakDSPCore-Angebote und steigert die Leistung auf mehr als 400 Millionen Multiplikations-Akumulationen (MMACS) pro Sekunde für einen einzigen

Core. Der DSP-Core basiert auf der Open-Standard-ZSP-Architektur und steht per Lizenz bzw. in Kombination mit der ASIC-Expertise und den Fertigungsdienstleistungen von LSI Logic zur Verfügung.

Der Core ist gekennzeichnet durch eine Vierweg-Superscalar-16-Bit-Architektur mit Dual-Multiplizierer-Akumulator-Taktgeschwindigkeiten bis zu 200 MHz. Er ist innerhalb einer Chipfläche von 3,5 bis 5,5 Quadratmillimeter an verschiedene Prozess- und Leistungsanforderungen anpassbar und wird mit Hilfe des G12-Prozesses (0,18 µm gezeichnete Kanalbreite) implementiert. Seine RISC-artige Architektur und die Busverbindungsstruktur ermöglichen eine einfache Integration dieser Technologie in System-on-a-ChipDesigns. Zukünftige Generationen dieser Architektur werden Derivate umfassen, die besonders für portable Applikationen wie digitale Mobilfunktelefone geeignet sind. LSI Logic entwickelt aktiv applikationsspezifische Standardprodukte (ASSP), unter Nutzung der ZSP4OO-Core-Architektur. (pa)

LSI Logic
Tel.: 089/45 83 61 30

Neue Version 8.2 der pASIC-3-Entwicklungs-Software



QuickLogic gibt die Verfügbarkeit der Version 8.2 seiner Entwicklungs-Software Quick Works bekannnt. Die Version 8.2 sorgt für verbesserte Leistungsfähigkeit bei den schnellsten QuickRAM- und pASIC-3-Bausteinen, unterstützt militärische QuickRAM-Bausteine in Keramikgehäusen und verfügt über eine neue »à-la-carte«-Lizenzierung. Ergänzend zu den überarbeiteten Timing-Werten bietet die Version 8.2 eine ganze Reihe weiterer Verbesserungen: Unterstützung für QuickRAM-Bausteine in den Keramikgehäusen 100-CQFP und 208-CQFP, EDIF-Unterstützung für die QuickPCl-Bausteine QL5030, QL5130, QL5032 und QL5232, »à-la-carte«-Lizenzierung. QuickLogic bietet ein kostenloses Basis-Software-Paket an, das sich durch einzeln lizenzierte Zusatzprodukte aufrüsten lässt. QuickWorks 8.2 erlaubt dem Designer das gezielte Abonnieren der jeweils von ihm benötigten Software-Optionen, sodass Kosten entfallen. Kostenlose Tools: Schaltplaneingabe, Place & Route, Static-Timing-Analyse und RAM/ROM/FIFO-Wizard. Zu lizenzierende Tools: Verilog/VHDL-Synthese, Synplify-Lite von Synplicity, Verilog-Simulator Silos III, VHDL-Simulator VeriBest, HDL-Editor TurboWriter, HDL-Tutorials von Doulos. QuickWorks 8.2 ist ab sofort lieferbar. (pa)

QuickLogic
Tel.: 089/93 08 61 70

Nürnberg ist Treffpunkt der Embedded-Systems-Industrie

Messeführer: Embedded Systems 2000

Vom 16. bis 18. Februar ist das Messegelände in Nürnberg Veranstaltungsort der Embedded Systems 2000. Auf der Messe werden Microcontroller und Prozessoren, Baugruppen, Hardware- und Software-Tools sowie Betriebssysteme, Programmiersprachen und Dienstleistungen zur Entwicklung und Systemintegration von Embedded-Steuerungen präsentiert. Der angegliederte Kongress »Embedded Intelligence« informiert über die aktuellsten Lösungsstrategien und den optimalen Einsatz von Bausteinen, Werkzeugen und Software.

Damit Sie sich einen schnellen Überblick über die Exponate machen können, haben wir diesen Messeführer, der auf einer schriftlichen Umfrage der Redaktion basiert, zusammengestellt. (pa)

Firmenname	Halle/Stand	Unternehmen stellt folgende Produkte auf der Embedded Systems aus	Messe-Highlight
Accelerated Technology	M4	Nucleus Plus, Nucleus C++, Nucleus Osek, Nucleus Net, Web Server, Browser, grafisches User	Nucleus EDE
Addi-Data	1/05	Karten für den CompactPCI-Bus	Multifunktionszählerkarte CPCI-1710
Advantech	12/F 4	k. A.	k. A.
Ahlers EDV-Systeme	12/N 11	PC-gestützte Universal-Programmiergeräte, Gang-Programmiergerät mit austauschbaren Sockeln, Eprom-Programmiergeräte Leaper 10, Galep III, Stand-Alone-8-fach-Gang-Programmiergerät-SU 2000, Protokoll-Analysator Comwatch, Eprom-Emulatoren	Programmiergerät All Writer
AK Elektronik	L 19	Pentium Debugger, 90-MHz-Version des Cold Fire, Customized-SHARC-DSP-Board-Solutions	k. A.
Altera	Unter-Aussteller bei Scao/EBV	programmierbare Logik, Entwicklungs-SW Quartus, Max++Plus II	Apex-Familie/Quartus SW
AMD	12/E 12	Elan Family-Single Chip System Solutions, AMDebug Technology in SC520, K6-2 Embedded Microprozessor, Athlon-7th Generation Outlook, Flash Memory	K6-2 Embedded
Amotec	12/N 13	Fernwartungslösungen per ISDN und analog, PC/104-Technologie, Embedded CPU-Boards	Scheckkarten-PC mit 486 CPU
Aonix	N 27	STP/ACD, Object Ada Real-Time Raven für DO178b, IEC61508	k. A.
Apdate! Card Solutions	12/E 13	SCSI-Flash Drives, Flash Speichermedien, Industrie PC-Card Drives und Solid State Data Drives, PC/104-, VMEbus-Komponenten	SCSI-Flash Drives
Applied Microsystems	K 09	Codetest – High Level SW-Tester, basierend auf Sourceinstrumentierung, Live Code – High Level SW Debugger, basierend auf Code-Instrumentarisierung, Emulatoren für Power PC, Pentium	Live-Code
Arcom Control Systems	H 08	QNX Dev Kits, Wince Dev Kits, Single Board Computer, PC/104 I/O Boards, ISA/PCI I/O Boards	QNX Dev Kits, Wince Dev Kits
ARM Deutschland	E 03	Integration Plattform, Developer Suite V.1.0, MP3, Automotive, Arm 10, 9E	Technologie für die neue digitale Welt
ARS Technologie	N 18	Netzwerk-SW, I+DA, Bluetooth, USB, IEEE 1394-SW, Corba für Echtzeit, Entwicklungstools für DSPs, Java-SW	k. A.
Ashling	M 25	Ultra 51, Ultra 77, M16C, Smart Cards, Pathfinder++	Tricore
Atlantik Elektronik	B 23	diverse	
Atmel ES2	12/C10	Flash-Microcontroller, EEPROM, Flash, EPROM, programmierbare Logik, Multimedia-Chips	AvR-Controller
Axiom Technology	12/F 13	19-Zoll- und kompakte TPC-Gehäuse, Full-Size-Karten, Passiv-Backplanes, Panel-PCs, Embedded Board Computer	SBC8560, Panel 1125, 1150, 2005
Becom Software	M 16	diverse	integrierte Entwicklungsumgebung für QNX
Dr. Berghaus	12/F 19	Singleboard-Computer in den Formaten PC/104, AT96, ISA-Slot-CPU, Flatpanel-Controller, DW-Rail-, Car-PC	neueste CPU-Modul-Generation, Embedded-Betriebssysteme, DIN-Rail-, Card-PC
Berner & Mattner	12/H 5	Entwicklung von SW und Systemen, Statmate Magnum, Rhapsody in MicroC, Rhapsody in C++, Rhapsody in C, Rhapsody in Java, Altia Design	k. A.
BFAD	12/N 1	Industrieelektronik, Produktentwicklung HW, SW, Embedded Linux, Internet-Applikationen, Webtonet Solution Provider, Mess-, Regeltechnik-Entwicklung	Embedded Linux Internet to Industrie Webtonet
Blue River Software	12/J 18	32-Bit Tool E 32	E 32
CAB	12/N 34	Spezialfassungen, Testadapter, Emulationsadapter, Converter, Testmodule, Lösungen im Bereich DIP, PLCC, PGA, QFP, SOP, BGA, 19-Zoll Labortechnik und Test	Clip on Adapter für QFP-Chips, BGA-Lösungen
CAD-UL	K 09	Lösungen für die Embedded Applikationsentwicklung, Compiler, Debugger, RTOS, ICEs, x86-Controller, Schulung/Training	Code Coverage Tool für x86 Protected Mode
CAN in Automation	12/J 12	technische, marketing-, produktspezifische Informationen	
CC&I	N 18	Prozessormodule für Multimedia u. Signalverarbeitung, Intime-Echtzeit für Win NT, Embedded DOS-Controller u. Embedded Webserver, DSP Entwicklungsumgebung, Kommunikationscontroller	µFlash Embedded Web Server

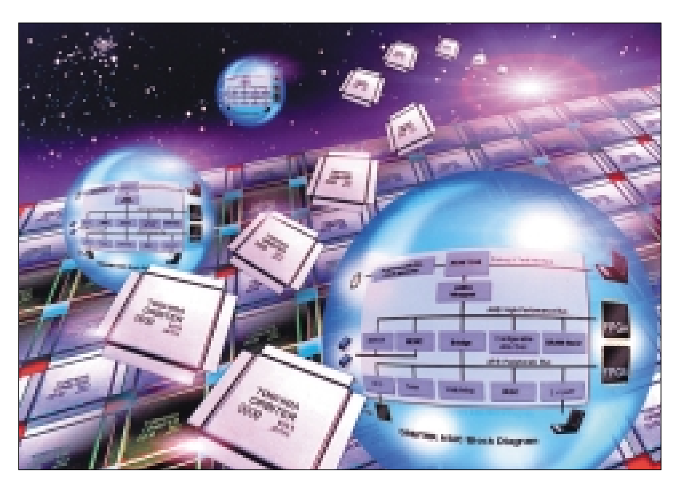
Firmenname	Halle/Stand	Unternehmen stellt folgende Produkte auf der Embedded Systems aus	Messe-Highlight
Ceibo	L 12	EB-51X2, EB-764	k. A.
Channel Microelctronic	1/B 21	Embedded PCs, LCD-Controller, Quarzprodukte, LCD-Module, LCD-Gläser, PC-Lösungen	k. A.
CIP System	12/N 36	CIP-Tool – grafisches SW-Engineering-Werkzeug	automatisch erzeugte Interaktionssequenzen zur Entwurfszeit
Cosmic Software	12/M 1	Ansi-C Compiler, HLL Debugger, integrierte Entwicklungsumgebung für Win	k. A.
CSM	12/F 17	PC-Card-Laufwerke, PC-Cards, Messtechnik-Komponenten, automotive Messtechnik, SW	Omniscale, DOS-Driver, Diadem
CSS	12/C 25	Single-Board-PC, All-In-One CPU-Boards	Entwicklungssystem CSS-SYSC
Dallas Semiconductor	C 24	High-Performance Microcontroller mit 2 Can-Interfaces	80C390 µ-Controller mit Can-Interface
Diab-SDS	K 11	Debugger, Compiler, Simulatoren	Dual Core Debugging
Digital-Logic	12/F 1	CPU-, Peripheriekarten, hochintegrierte Smart-Rechnermodule, Technologie für Embedded Anwendungen	k. A.
DLI	12/N J 22	Logikanalysatoren, Fibre Channel Analysatoren, PCI-Entwicklungstools, ISDN, LAN-, WAN-Messtechnik	k. A.
DSM Digital Service	12/J 15	Slot-CPU, Industrie PCs, Compact PCI, Embedded	k. A.
EAC Automations-Systeme	12/G 03	IPC- und Peripheriemodule für die Montage auf DIN-Normschienen, IPC- und Peripheriekomponenten für VME-Systeme VME-Magazine, grafische Programmieroberfläche für spezielle Steuerungen	IPC- und Peripheriemodule für die Montage auf DIN-Normschienen
EBV Elektronik	F 03	VME-Boards, CompactPCI-Boards, High Availability CompactPCI-Systeme, Spezialplatinen für Echtzeitanwendungen, CE-zertifizierte 19-Zoll-Systeme, intelligente Controller, VME Avionics-Gehäuse und Platinen	k. A.
E.E.P.D.	1/E 14	PC104/Plus basierte Karten, OEM-Produkte, I/O-Module, CPU-Karten	k. A.
EKF Elektronik	12/N 4	CompactPCI-, VMEbus-Lösungen	Interfaces für CompactPCI, IEEE 1394, ISDN-Adapter
Elektronikladen Mikrocomputer	M 2	Einplatinenrechner für MSR-Anwendungen	HC12-D60-/HC12-DG 128 Card
Eltec Elektronik	12/K 03	industrielle Bildverarbeitung, Steuerungstechnik, Meß- und Regeltechnik, Leittechnik, Industrie-PCs, Netzwerke, Industriekommunikation	Mini Hipercam auf CMOS-Technologie
EMC	12/F 16	Adapter, Sockel, Steckverbinder für Entwicklung und Test	BGA Entwicklungsadapter für den HF-Bereich
Embedded University	Eingang	Halbleiter- und Tool-Schulung	k. A.
E-Merchants	12/C 23	Web-Kurse	Datenbanken im Internet
Emsys Embedded Systems	12/A 13	Schulungs und Entwicklungsdienstleistungen in den Bereichen serielle Busse	Video Demonstrator zur Übertragung unkomprimierter Video-Ströme
Enea Ose Systems	12/K 16	Ose Echtzeit-Betriebssystem	Ose für verteilte Systeme – neue Konzepte, neue Tools
Eonic Solutions	B 12	Virtuoso V 4.1 – Realtime SW-Development Tools for Embedded Systems, Atlas – High Reliability System Solutions for Embedded Applications	Atlas
Epson	0-06	Microcontroller, LCD-Controller, Card PC, Asic	k. A.
EPT	12/N 8	Steckverbinder in Einpreßtechnik für CompactPCI, VMEbus, PC/104, 2 mm-hardmetric	k. A.
Equinox Technologies	M 2	In-Circuit-Programmier-Systeme, AVR-Starter Kits	In-Circuit-Programmier-Systeme
ESD	12/J 6	k. A.	
EST	L 6	BDM/Jtag-Debugger, In-Circuit Emulatoren, Simulatoren, Evaluation Boards	In-Circuit Emulator für Telecom Prozessor/Controller MPC8260
Etas	12/M 06	SW-Entwicklungssystem Ascet-SD für Embedded Systeme im KFZ-Sektor, Echtzeitbetriebssystem Ercos, HW-In-The-Loop-System Testsystem Labcar, Mess- und Applikationswerkzeug Inca	Ascet-SD V. 4.0
Force Computers/ Ganymed Computers	K 22	CompactPCI-, VMEbus-basierte Pentium, Power PC, Sparc-Ili-Produktpalette	Powercord-Board
Fraunhofer-Institut für Integrierte Schaltungen IIS-A	J 02	DECT-Module, DECT-Basisstationen	DECT-Modul mit Audioschnittstelle
Frenzel & Berg Elektronik	12/F 25	Systemlösungen für Meß-, Steuer- und Regeltechnik, Can-Baugruppen und I/O-Module, Kompaktsteuerungen, Kleinrechnermodule	SPS-ICs
FS Forth -Systeme	M 19	Entwicklungspakete AMD Elan SCS20, ST10F168, Wincert SH 3, Echtzeitbetriebssystem Pharlap mit GUI, Win CE-Integration, Jtag-Booster, Bootloader	Entwicklungspakete
Fujitsu	12/C 17	diverse	diverse
GADV	12/N 26	Musterprojekte für technische SW	Internet in der Automatisierung
Ganymed Computer	K 22	CPCI/VME CPUs + 110, CPCI/VME-Systeme, 19 Zoll Ultra Sparc Server, 19 Zoll Industrie PCs und Server, Real Time Extensions für NT Embedded	k. A.
GBM	012	DSP-Systeme für Meßwerterfassung, Steuerung, Regelung, programmierbare Microcontrollersysteme	Jackrabbit-Entwicklungssystem, HW-, SW für Rabbit
Gemac	12/E 20	Interpolarisationssysteme, Neigungssensoren, Profibus-Tester, neuronale Netze, kundenspezifische Elektronikentwicklung, Muster- und Serienfertigung von elektronischen Baugruppen und Geräten, DSP+MC-Lösungen, Hybrid-IC, Asic-Design, SW-Entwicklung	FPGA-Entwicklungsboard, 4096-fach Interpolarisationsboard

Firmenname	Halle/Stand	Unternehmen stellt folgende Produkte auf der Embedded Systems aus	Messe-Highlight
Gespac	E 17	CompactPCI, CPU-Karten, Ein-/Ausgangskarten, PC für rauhe industrielle Umgebung	Pentium II-CPU-Karte für CompactPCI, neue PowerPC-Karte f. CompactPCI
Gesytec	1/B 2	Dimm-PC EC – Scheckkarten PC mit Ethernet Win CE, Starter-Kit für Win CE, PC/104 Win CE Embedded PC im PC/104-Format, Entwicklung von HW/SW mit Win CE	k. A.
Glyn	12/C 20	Microcontroller, Starterkits, Tool, LCDs, Memory-Cards	k. A.
Göpel Electronic	J 14	Ocean MSP430xx Boundary Scan Test- und Programmierlösungen	Ocean MSP430xx
Green Hills Software	N 09	32-Bit-Entwicklungstools, Realtime-Betriebssysteme, Compiler, Debugger	k. A.
Harting	12/F 23	Steckverbinder für diverse Bussysteme, Hochtemperatursteckverbinder zur SMC-Montage, EMV-geschirmte Gehäuse für Kabelsteckverbinder	Signalübertragung im 2 GB/s-Bereich mit 2 mm hartmetrischen Steckverbindern
Hartmann Elektronik	B 4a	Backplanes VME, VME64x, CPCI, CPCI-Testadapter, bestückt Leiterplatten	PCI/CompactPCI-Extension Kit
HighTec EDV-Systeme	L 14	Echtzeitbetriebssystem PXROS mit Extensions, Internetapplikationen mit PXProWeb, GNU Compiler	k. A.
Hilf!	12/C 33	Beratung, Schulung, Entwicklung HW, SW	Motorola PowerPC mit Win CE
Hitex Automation	K 6	MS Win CE Starterkit, CAN-Feldbuskomponenten, Kompaktsteuerung/Soft-SPS, Hico PC/104-Familie	Komplettlösung und Starterkit für Win CE und Can
Hitex Development Tools	K 6	Debugging Tools, In-Circuit Emulatoren, Analyse-Werkzeuge, Compiler-, SW-Tools, Adapter	DProbe HC12-Emulationssystem, Emulator Tricore Level 2, DProbe 430-Emulator
HSP	N 23	Precise/MQX – RTOS, Diab-SDS – Compiler & Debugger, Aisys Driveway 3DE – Treibergenerierung, Emutec – Promset-Emulator, Premia – Code-Wright Editor	k. A.
Hiware	C 5	Compiler mit grafischer Oberfläche, Simulator, BDM-, Monitor- und Emulator-Debugger, BDI-Interface, Peripheral Builder, objektorientierte Real Time Kernel	Panta – intuitives User Interface, BDI 1000
Hyperstone Electronics	D 20	Risc/DSP, F1-8X Flash Memory Controller, Embedded Fingerprint Recognition Systems, Digital still camera Reference System	k. A.
I2SE	12/C 19	Embedded Webserver auf Microcontroller-Basis, Webserver-Applikationen mit 32-Bit-Risc Net & Arm, Scheckkarten Microcontroller-Modulsystem	Remote Access Security Server Rass
IAR Systems	L 16	EC++/C-Cross-Compiler, Hochsprachendebugger, MakeApp, Visual State, Consulting, Services	k. A.
IEP	12/D 23	Echtzeitbetriebssystem RTOS-UH, Crest-C – Ansi-C Entwicklungsumgebung mit Echtzeiterweiterungen, MOCS-1100 – Kleinsteuerung und Prozeßrechner, kundenspzifische Single-Board-Computer	CodeIEP
Ikon	F 22	Protokollstacks für ATM, Frame Relay, MPLS, ISDN, V. 5.2, SS-7, x.25, SDLC, Voice over IP, Dienstleistung im Bereich Kommunikation	Protokollstack für Voice over IP
ILFA Feinstleitertechnik	12/B 18	Leiterplatten in Mikrofeinstleitertechnik von starr bis flexibel	integriertes Mikrokühlsystem für Leiterplatten
Imcor	12/09	Win Driver, Win Wedge, Serialtest	Win Driver
Industrial Computer Source	12/A 16a	Slot-CPUs, little Boards, Industrie-PCs	SBL-558
Infineon Technologies	C 08	k. A.	k. A.
Ing.-Büro Dr. Kaneff	K 12	Echtzeit-Betriebssystem Europlus, Can-Treiber, Ethernet-Treiber, TCP/IP-Stack, Web-Server, ISDN-Stack, Java Virtual Machine	Java Virtual Machine, ISDN-Stack
Ing.-Büro Martin	12/F 1	Simulator-Instrumente, T/D Module für ec376, HC08 Module, User-Interfaces, Rack-Mgmt.-System	Flug-/Fahrsimulator mit echten Fluginstrumenten zur Benutzung durch Besucher
Insight	F 11	diverse	k. A.
iSystem	12/L 15	In-Circuit-Emulatoren, Entwicklungswerkzeuge und integrierte Entwicklungsumgebung für Microcontroller	k. A.
Isytec	12/F 20	Standardemulationssystem Emu 1, Emulationssystem Emu-M, PCI-Karten EBPCI 1V, VPCI1C-PCI, Simulatorkopplung Emulink	Simulatorkopplung Emulink
Janz Computer	12/M 20/1	Industrie-PCs, Can-Feldbus, VMEbus, CompactPCI	Janz Industrie PC-Systeme
Keil Elektronik	M 12	SW-Entwicklungswerkzeuge für Mikroprozessoren, Mikrocontroller-Baugruppen	C51 Compiler V. 6
Kleinhenz Elektronik	L 12	Emulatoren	k. A.
Lauterbach Datentechnik	L 05	Trace32-ICD – Debugger für Onchip Debug Interfaces, Trace32-ICE – In-Circuit-Emulatoren, Trace32-Fire – Emulatoren für Risc-Architekturen	Echtzeittrace für Arm ETM, neue In-Circuit-Emulatoren etc.
Lippert Automationstechnik	0-03	PC/104-Plus – Cool Roadrunner II, AT96/ISA96 – Coll Fox II, Industrial PCI, CompactPCI, kundenspezifische Entwicklungen	Cool Roadrunner II, Cool Fox II
Logic Instrument	12/G 1	industrielle Notebooks und portable PC der Tetra-Reihe	portable PC Tetra 2
LP Elektronik	12/N 16	Harte Echtzeit unter NTembedded, Operator-Panel, Win CE inside	Harte Echtzeit & Win auf einer CPU
LPKF Laser & Electronics	12/N 6	Systeme zur Fertigung von Leiterplattenprototypen, Lasersysteme für die Mikroelektronik, lasergeschnittene Metallschablonen	k. A.
Mazet	12/E 8	MFB586-SPS-Card/EPC-Modul mit Erweiterungsmöglichkeiten, PCFalcon – Embedded PC-Modul für Bildverarbeitungssysteme, STePC – Multimediaplattform für Win CE-Anwendungen, PC/104-Erweiterungskarten, Interbus ICs und Boards	Win CE Anpassungen für verschiedene Prozessorfamilien

Firmenname	**Halle/Stand**	**Unternehmen stellt folgende Produkte auf der Embedded Systems aus**	**Messe-Highlight**
MCT Paul & Scherer	12/G 06/III	Einplatinen-Computer, C-Compiler, Entwicklungspakete, Computer im Gehäuse für Hutschiene	k. A.
MEN Mikro Elektronik	12/L 1	CompactPCI-, VMEbus-Single-Board-Computer u. komplette Systeme, M-Module, PC-MIPs als flexible Mezzanin-I/O-Ergänzung, kundenspezifische Systemlösungen	3U CompactPCI-Board mit PowerPC, neue PC-MIP-Mezzanines
Mentor Graphics	12/K 15	Pre-HW, HW-, SW-Coverification, Systemintegration, Application Debug	X-Ray Debugger für alle Entwicklungsphasen
Metcomp Elektronik	D 21	Mikrocontroller, Mikroprozessoren, Risc-Prozessoren, PCI-Interface, Bridge Chips, FPGAs, PLD/CPLDs, Gate Arrays, Power Mgmt ICs, Speicher, Peripheriebausteine, Entwicklungswerkzeuge, Telecom ICs, System-on-Chip-Lösungen	Triscend System-on-Chip-Lösung TE505
Microsys Electronics	H 7	PowerPC-Solutions für VMEbus, CompactPCI, Embedded, Standard, Customized	CU824 3HE, CPU 6 HE
Microware Systems	K 8	Produkte und Dienstleistungen rund um das Echtzeit-Betriebssystem OS-9	OS-9
Mixed Mode	12/M 24	Synplicity- und Atmel-Produkte	Bridge
N.A.T.	J 4	Plattformen – VMEbus, PMC, Industry Pack, PCI, M-Module, Single Board Computer Telekommunikations-Schnittstellen – E1/T1, SCSA, BRI, ATM Netzwerk-Schnittstellen – FDDI, Ethernet, Fast Ethernet	k. A.
National Instruments	12/N 24	Labview – grafische Programmierung in Echtzeit, PXI/Compact PCI	Labview RT – Labview Realtime
National Semiconductor	12/C 06	Cop 8, LM4872 Boomer, Webpad Reference Design, Micro SMD Produkte, Digital Still Camera Afe	k. A.
nbn Systemkomponenten	12/N 15	Massenspeicher, Slot CPU Karten, Industrie PCs, 19-Zoll IPC, PC/104-Module, Embedded PC, Microcontroller	k. A.
NEC Electronics	12/C 16	78K 8-16-Bit Family, 32-Bit-Starterkit, VR4122 64-Bit Mips Prozessor, SOC Know-How	Entwicklungstools, Starter-Kit für 32-Bit-Evaluierung
Nohau Elektronik	12/H 12	Emulatoren, USB-Tools, Embedded TCP/IP	USB 2.0, Emul ST10/166-PC
Oki Electric Europe	12/E 2	Arm Standard Controller, Oki Powered Gate, Arm Asic, Arm Entwicklungssysteme	Oki Powered Gate
On Time Informatik	12/E 18	On Time RTOS-32, Echtzeitbetriebssystem für 32-Bit, x86 Embedded Systems	k. A.
Orsys	B 11	Embedded DSP-Module mit diversen I/O-Karten, Embedded IEEE1394-Lösungen, Hochleistungsmultiprozessor mit TMS320C6000 DSPs	Embedded IEEE1394 Interface mit 400 MBit/s
Panasonic	12/D 14	4-32 Bit Microcontroller, integrated DAB Baseband Signal Processor	integrated DAB Baseband Signal Processor
Parallax	M 2	Basic Stamps, Stamps in Class-Programm, Entwicklungskits für Scenix SX-Chips	SX-Tool
Peak-System Technik	J 20	PCAN-PC-Interface PCI, ISA, PC/104, PCAN-Explorer Can-Monitor für Win 9x/NT, PCAN-Handy, Can-Monitor, PCAN-Developer Win 9x/NT, Can-Entwicklungsumgebung, PCAN-Hub, optischer Can-Hub 1- auf 3	PCAN-PCI, PCAN-Hub
PeCe Electronic Design	12/C 19	Dienstleistungsunternehmen für HW-, SW-Entwicklung	Case-SW-Entwicklung, FPGA-Design
PEP Modular Computers	12/L 10	CompactPCI-Produkte, VMEbus-Produkte, dezentrale Vernetzung	CP 302 – Pentium III CompactPCI CPU
pls	H 02	Development-Tools für 16/32 Bit Microcontroller, Debugger, C/C++ Cross-compiler, Emulatoren, Echtzeitbetriebssysteme, Evaluationboards	Universal Debug Engine, Debugger & Tools für 16/32 Bit Microcontroller
Powerbridge Computer	F 22	VMEbus Boards und Systeme, Industrie PC	k. A.
Probit	12/B 21	PC/104-Module, Embedded-PC, Consultingleistungen im Bereich Embedded-Entwicklungsbereich, Win CE-Applikationen	k. A.
QA Systems	J 26	diverse	k. A.
QNX Software Systems	M 15	QNX/Neutrino Echtzeitbetriebssystem	k. A.
Quicklogic	D 22	QuickPCI Family	k. A.
Rational Software	K 20	Rational Suite Development Studio	Rational Suite Development Realtime Edition
Rittal-Werk	12/M 8	CPCI-, VMEbus-Aufbausysteme auf Ripac-Basis	k. A.
Roth Hardware & Software	12/H 3	8051 Entwicklungs- und Debug-Tools, ST 6 Entwicklungs-, und Debug-Tools, XA Entwicklungs- und Debug-Tools, Smart XA Entwicklungs- und Debug-Tools	ST 6, Smart XA Tools
3Soft	12/M 7	Methoden-Baukasten für die SW-Entwicklung in der Medizintechnik, Jini und Internet-Technologie für die Automatisierung, Lösungen für die Elektronik- und SW-Entwicklung im Kfz	k. A.
Sasco Semiconductor	12/B 16	Halbleiterprodukte, kundenspezifische Lösungen, chemische Produkte	k. A.
SBS Technologies	F 15	IEEE 1394 Connectivity für PCI/cPCI, VME, PMC	High Bandwidth, Low Latency PCI Connectivity
SBS Technologies	12/F 15	CompactPCI und VMEbus Boards und Systeme, Mezzanine Module, Bus-Adapter	VG 4 6 U Power PC Board
Scantec	E 11	PSD813, PSD833 Peripherie-Bausteine für Microcontroller, SX 48/52 Microcontroller, 10P480 PCI Interface-Baustein mit Prozessor auf dem Chip	k. A.
SE Spezial Electronic	12/N 31	Epson Card-PC-Produkte, Programmiergeräte	Embedded Systemlösungen mit Epson Card-PCs
Segger	12/J 1	Embos Echtzeitbetriebssystem, Emwin Grafik-SW, Emload Bootloader, Flasher MI6C Programmiergerät	Emwin GSC
Siemens/Bereich A&D	12/K 5	Sicomp-Industrie Microcomputer, Boardsysteme, SMP 16, AMS, Kompakt-	Sicomp-JFPC, SMP 16-CPU mit Pen-

Firmenname	Halle/Stand	Unternehmen stellt folgende Produkte auf der Embedded Sqstems aus	Messe-Highlight
SE MI		rechner, IMC 05, IMC 01, PMC-Module, Komponenten für den IPCI-, CPCI-Bus	tium III
Sharp Electronics	Arm-Stand	Arm-basierte Microcontroller, Asics	Arm JTDMI-Microcontroller mit SVGA-LCD-Controller
SMA Regelsysteme	12/J 27	Industrie PC mit CompactPCI und SMP 16-Bus, Peripheriebaugruppen mit CompactPCI und SMP 16-Bus, kundenspezifische HW-, SW-Entwicklung	Hypermax, CPCI-CPU mit Pentium II
Smart Electronics Development	12/L 2	Can-Tools, n-Tools, Embedded Development	Messe-Rabbat auf alle Can-Tools, Automotive Engineering
Smart Network Devices	D 20	diverse	Geräte per WAP-Handy über das Internet fernsteuern
Software Manufaktur	01	kundenspezifische Gesamtlösungen, SW-Engineering, Consulting, Bildverarbeitung, Internetanbindung von Maschinen, Emb. Systemen etc., QNX-, QNX/Neutrino-Echtzeitbetriebssysteme	k. A.
Sorcus Computer	12/B 13	Embedded PC, PC/104 Boards, Industrie-Mikrocomputer, Can-, Profibus, PC-Baugruppen, PC-Meßtechnik, Meß-, Steuer-, Regelungstechnik, Echtzeitbetriebssysteme, PCI-Boards, Single Board Computer	kleinster PC der Welt
Steinhoff	0-01	Profibus-DP Controller, CompactPCI Interbus, CompactPCI Canopen, objektorientierte Datenkommunikation über freie Corba-Implementierung, Visualisierungslösungen mit IEC 61131	CP5613 Profibus-DP-Controller
ST-Microelectronics	12/C 14	Microcontroller, Applikationen, Motorcontrol, Lightning, Can, Smartcard Reader, USB, MP3, Fuzzylogic	Intelligent Life in Action
Strampe Systemelektronik	B 9	DSPC6000 Vision Box – Stand Alone PC-Laser, Hochleistungs-Bildverarbeitungsrechner, kundenspezifische DSP-Entwicklungen	DSPC6000 Vision Box mit C6202
Sun Microsystems	K 01	High-Speed Microprozessoren, skalierbare Systeme uvm.	Java-, Jini-Technologien
Synatron	1/J 8	Boundary-Scan Produkte, Programmer für PROMs, PLDs, IC-Adapter	Jtag-Data-Blaster, BGA-Adapter
Synplicity	M 24	Synplify – Syntheseumgebung	k. A.
Synspace	12/K 20	diverse	k. A.
Sysgo Real-Time Solutions	M 13	LynxOS, Osek, Leo, SW-Dienstleistungen	Leo
Syslogic	12/A 18	IPC-Steuerungen, IPC mit Ethernet und Can	k. A.
Tasking	12/M 11	Tasking Cross-SW Development-Tools, Microcontroller und DSPs, EMIT Embedded Internet Technologien, Cross-Tools unter Linux	OCDS Debugging für C166 und Tricore, C-Cross Tools C166 auf Linux, EMIT-Demonstration
Taskit Rechnertechnik	12/2	Panel-PC, Mini-PC, 386 Ex Card, Handheld-PC	Panel-PC
Technosoft	TI Booth	Entwicklungsumgebungen für TI TMS320 C2000 DSP, Embedded DSP für digitale Motorregelung »Motion Chip«	»Motion Chip«
Tekelec Airtronic	D 19	VMEbus Systeme mit Sparc-Prozessoren, CPCI-Bus Systeme, Multiport Ethernet-Karten, High-End-WAN-Controller, PC/104-Komponenten, Industrie-PCs, Sonderentwicklungen im PC-Bereich	8-fach CPCI Ethernet-Karten, High-End CPCI-Komponenten
Tektronix	12/K 21	Debug- und Testzubehör, Echtzeit High Level-Language-Debugger, Digitaloszilloskope, Logic Analyzer, Hand Held Scopes, LAN-ISDN-SCSI-Adapter, ATM-Analyzer	k. A.
Texas Instruments	12/C 13	Entwicklungswerkzuege für TMS320C5000/C6000 Plattformen, Voice over IP-Anwendung, Express DSP Realtim-SW, DMC-Anwendungen, MSP30 Ultra Low Power MCU mit Embedded Flash Memory, TRF6900/MSP430 Clipset, Single-Chip RF Transceiver und MCU	k. A.
Thesycon	A 13	universeller Gerätetreiber IEEE 1394, USB	Gerätetreiber IEEE 1394
Toshiba	12/E 17	Microcontroller, Entwicklungs-Tools bzw. Plattformen, Embedded Mips + Arm 7 System LSIs, ICs für Netzwerktechnologie, CMOS-Bildsensoren, Neuron LSIs für Lonworks Buskonzept	ASSPs für Win CE »Orbiter« Entwicklungsplattform für Arm 7 System LSIs
TQ-Components	12/N 15	Embedded Power PC-Module, Embedded 16-Bit-Module, Intel Pentium Modul	Ethernet mit 16-Bit Infineon
TTTech Computertechnik	12/J 11	Evaluation Cluster, TTTPtools Entwicklungsumgebung, TTPChip TTP/C-Controller	TTP Model Car
Vector Informatik	12/L 3	diverse	Can Analyzer V. 3.0
VSystems Electronic	12/011	Bus-Analyzer für PCI, CPCI, PMC, VMEbus, E1/T1, H.110 Interfaces und Controller, Analog-, Digital I/O-Module, 4-fach C6X Boards, digitale Empfänger, 4-fach, 18-fach PPC-Boards mit Raceway	PCI-, PMC-Analyzer/Excerciser, 8-fach T1/E1-CPCI-Board
WBC	F 03	diverse	k. A.
Willert Software Tools	3/M 12	Toolchain zur Infineon C16x-Familie, Schulungen, Seminare	Solutions, Entwicklungsumgebung mit garantierter Schnittstellenkompatibilität
Wind River Systems	12/L 7	Echtzeitbetriebssysteme, Entwicklungstools	
Würz Elektronik	12/A 1	Microcontroller-Module, Can-Netzwerke	MPC 555 Modul
XCC Software	12/M 17	diverse	SW-Lösungen
Xilinx	F 11	Programmierbare Lösungen in FPGAs und CPLDs, Entwicklungs-SW	Sparten II, Virtex E, IRL

ASIC-Entwicklungssystem senkt Time-to-market von SoCs



Durch vereinfachte Integration des 32-Bit-RISC-Cores ARM7TDMI in komplexe Submikron-ASICs mit niedrigem Leistungsverbrauch senkt Toshibas Rapid-Prototyping-Entwicklungssystem Orbiter die Time-to-market für System-on-Chip-Designs in der Tele- und Datenkommunikation um bis zu 50 Prozent. Im Laufe der letzten Jahre wurde der ARM7TDMI-Core zum Prozessor der Wahl für Telekommunikations- und Netzwerkanwendungen: Seine hohe Leistung sowie seine geringe Verlustleistung machen ihn für Designs mit mehreren Millionen Gattern geeignet, bei denen die Senkung des Leistungsverbrauchs zu den wesentlichsten Designzielen zählt. Das neue schnelle Prototypsystem vereinfacht Designs für Netzwerkzugang und LANs bis hin zu drahtlosen Endgeräten der nächsten Generation, indem die Implementierung des Cores mit seiner sehr niedrigen Verlustleistung kombiniert wird mit Designs von Oate-ASICs sowie der zur Verfügung stehenden Telecom- und Netzwerk-IP.

Das Orbiter-Entwicklungssystem ist um den von Toshiba entwickelten und hergestellten 0,25-µm-ASIC TC240 aufgebaut. Dieser ASIC vereint den ARM7TDMI-Core mit der gesamten Peripherie, die zum Ablauf der meisten Echtzeitbetriebssysteme (RTOS) erforderlich ist. Über die Tatsache hinaus, dass er als einer der ersten die Unterstützung von AMBA-AHB- Designs (Advanced High Speed Bus) anbietet, ist diese Prozessor-Core-Implementierung auch durch eine der niedrigsten Verlustleistungen von 33 mW (50 MHz) gekennzeichnet. Ein schneller Speicher 4k x 32 Bit ist für Echtzeit-Steuerroutinen oder kritischen Code enthalten, während die volle AMBA-Pinkonfiguration verfügbar ist, sodass Echtzeitablaufsonden, schnelle PLDs oder ASICS mit dem ARM7TDMI-Core gekoppelt werden können. Der ASIC enthält darüber hinaus einen verbesserten Priority-Interrupt-Controller, eine programmierbare PLL sowie einen zusätzlichen UART, der Anschluss an einen PC zur Anzeige zusätzlicher Fehlersuchinformationen erlaubt.

Die Orbiter-Entwicklungsplatine, ausgelegt zur Aufnahme eines RTOS sowie einer Anwendung, wird mit 3,3 V betrieben und enthält einen Gleichspannungsregler mit 2,5 V. Das Board unterstützt mehr als 200.000 Gates mit zwei FPGAs; zusätzliche FPGAs können zur Unterstützung mehrerer komplexer IPs hinzugefügt werden. Externes Flash und SRAM erlauben das Abbilden von AHB- und APB-Peripheriegeräten in ihren zugehörigen FPGAs, was bei Einsatz von Synthese-Tools zu verbesserter Trennung der Taktbereiche führt. Flash-Speicher auf der Leiterplatte können den gewählten Monitor oder Debugger aufnehmen, und weitere I/Os stehen für universelle Steuerung zur Verfügung. Diese I/Os und die AMBA-Pinkonfiguration arbeiten bei 3,3 V und erleichtern so das Einstecken von Speichern und kundenspezfiischer Logik.

Ausgeliefert in ARMs Micropack V2.0 (AMBA Rev. E) mit erweiterter Unterstützung von Snythese- und Static-Timing-Tools, erlaubt Orbiter einen schnellen Anlauf für die Synthese von Peripherie in FPGAs. Sobald das Konzept validiert und stabil ist, kann Orbiter die Netzliste zusammen mit dem Layout-Timing liefern, um kritische Pfade zu verifizieren und die statische Timing-Analyse durchzuführen. Außerdem lässt sich die vollständige Netzliste direkt in einen endgültigen ASIC-Baustein implementieren. Um Anwendungsentwicklung zu unterstützen, bietet Toshiba eine Vielzahl von Telekommunikations- und Netzwerk-IPs einschließlich Lösungen für LVDS, SRAM, DRAM, Ethernet, ADSL und ATM.

Die TC240-Implementierung des ARM7TDMI basiert auf einer 0,25-µm-, 2,5-V-CMOS-Technologie mit hoher Gatterdichte von 28.300 Gattern/mm². Der Core arbeitet bei 100 MHz (bei 25 °C und 2,5 V) und bietet einen Betrieb mit einer Verlustleistung von 1300 MIPS/W (33 mW bei 50 MHz). Eine 0,14-µm-/1,9-V-Ausführung des Cores wird im Laufe des Jahres 2000 zur Verfügung stehen. (pa)

Toshiba
Tel.: 02 11/5 29 60
Halle/Stand: 12/E7

Integrierte Halbleiterlösungen

Fujitsu Microelectronics wird auf der Embedded Systems integrierte Halbleiterlösungen für eine Vielzahl von Anwendungen in den Bereichen Automobil- und Fertigungstechnik sowie Multimedia und Kommunikation präsentieren. Zur Mikrocontrollerpalette, die auf der Messe gezeigt wird, gehören die flexiblen 16- und 32-Bit-Serien mit CAN-Bus-Schnittstellen und integriertem Single-Voltage-Flash-Speicher auf dem Chip. Diese Bauelemente eignen sich besonders für Steuerungsanwendungen in der Automobil- und Fertigungsindustrie. Ebenfalls auf der Messe zu sehen ist Fujitsus umfangreiches Angebot an RISC-Controllern, die es ermöglichen, hohe Leistungsfähigkeit mit geringen Kosten zu verbinden.

Zusammen mit dem Know-how in ASIC, Fast-Cycle-RAM (FCRAM), MPEG-2 und RF bietet Fujitsu u.a. innovative Lösungen für Fahrzeugarmaturen, Steuerungen in der Fertigungsindustrie, Set-Top-Boxen und Navigationssysteme. In diesem Jahr wird Fujitsu eine neue Produktfamilie von Grafikprozessoren vorstellen, die für Embedded-System-Lösungen geeignet ist. Außerdem bietet die neue FR-V-Prozessorfamilie, die über eine Reihe verschiedener Konfigurationsmöglichkeiten für Embedded-Designs verfügt, hohe Leistung bei geringem Stromverbrauch. Der FR-V-CPU-Kern verfügt über VLIW- (Very Long Instruction Words), Multimedia- und DSP-Instruktionen und einen kundenspezifisch anpassbaren Befehlssatz. Ein konfigurierbarer Satz von Kernen ist verfügbar.

Dieses Paket aus Chiplösungen für Embedded-Designs wird von einer Reihe leistungsstarker Software-Tools unterstützt, einschließlich eines 16-Bit-Mikrocontroller-Entwicklungs-Kits, eines 32-Bit-Starter-Kits und eines FR-V-Demo-Boards. (pa)

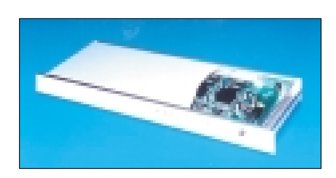
Fujitsu
Tel.: 0 61 03/69 00
Halle/Stand: 12/C17

Internet-Suite für Web-Devices

Auf Basis von QNX hat becom Software ein Software-Toolkit zur Realisierung von Web-Devices entwickelt. Es bietet als modulares System alle Funktionalitäten wie Online, E-Mail, Chat, Browser, Home-Banking und Datenbank. Je nach Anforderung können die Module beliebig kombiniert und weitere Funktionen über speziell entwickelte HTML-Makrobefehle implementiert werden. Sämtliche Komponenten lassen sich durch HTML und Javascript anpassen. Zur Programmierung von Web-Geräten bedarf es keiner weiteren Programmierung in C/C++ oder Java. Als Entwicklungswerkzeug für die Benutzeroberfläche stehen Standard-HTML-Editoren mit integrierten Projektmanagement-Tools zur Verfügung, welche die Anwendungsentwicklung erheblich beschleunigen. Ein weiterer Vorteil der HTML-basierten Benutzeroberfläche ist die Möglichkeit der schnellen Adaption eines neuen Layouts. Bei gleichbleibender Funktionalität ist der Entwickler zudem in der Lage, das Design on-the-fly zu ändern, indem einfach eine Umstellung auf einen neuen Satz von HTML-Seiten erfolgt. Hierin liegt neben der geringen Größe und dem besseren Laufzeitverhalten ein Vorteil gegenüber Java-Applikationen. Das Toolkit basiert auf dem Echtzeitbetriebssystem QNX und seiner grafischen Benutzeroberfläche Photon microGUl. Die Ausgabe der Seiten erfolgt über HTML. Aufgrund seiner geringen Größe eignet sich die InterNETsuite für den Einsatz in Embedded-Systemen, Mindestsystemvoraussetzungen sind 4 MByte Flash und 8 MByte RAM. Die InterNETsuite wird bereits in mehreren Set-Top-Boxen und Ansteuerungsgeräten eingesetzt. (pa)

Becom Software
Tel.: 0511/96 52 50
Halle/Stand: 12/M16

Gehäuse für Embedded-Systeme



Zur Embedded Systems stellt Rittal komplette Industrierechnersysteme und einzelne Komponenten für CompactPCl und VMEbus in unterschiedlichen Ausführungen vor. Neu sind 19-Zoll-Einschubgehäuse zum Aufbau von Geräten wie Hubs, Router, elektronische Patch-Panels oder Modems, die auf größere horizontale Platinen angewiesen sind. Die Gehäuse mit einer Höhe von nur 44 mm (1 HE) sind auch als Tischgehäuse lieferbar.

RiBox heißt die Weiterentwicklung der kompakten Gehäuse für die Aufnahme von elektronischen Systemen in der EDV oder Telekommunikation bei horizontal angeordneter Platine. Mit nur vier Schrauben wird das komplette Gehäuse montiert. Dabei wurde auf einen größtmöglichen Innenraum – ausreichend für 1 VME oder CPCI-Board – ebenso geachtet wie auf hohe Stabilität, die den Einsatz der RiBox auch als Tischgehäuse zulässt. Als Material kommt nur Aluminium zum Einsatz. Die Seitenwände sind dabei aus einem Aluminium-Strangpressprofil gefertigt, die Front- und Rückwand aus einem chromatiertem Alu-Strangpreßprofil, die Boden-/Deckschalen ebenfalls aus chromatiertem Aluminium. Die Bodenabdeckung wurde so ausgelegt, dass sie auch als Chassisplatte nutzbar ist. EMV-Schutz wird durch den Einbau optionaler EMV-Federn erreicht. (pa)

Rittal
Tel.: 0 27 72/50 50
Halle/Stand: 12/M8

Erweiterte Tool-Ausstattung

Applied Microsystems gibt die Lieferbarkeit von LiveCODE einem interaktiven Run-Time-Tracing-Tool bekannt. Viele Software-Entwickler sehen sich mit der Aufgabe konfrontiert, die nächste Generation von Embedded-System-Anwendungen für Märkte zu entwickeln, die von raschem Wandel gekennzeichnet sind und in denen die rechtzeitige Markteinführung über Erfolg oder Misserfolg eines Unternehmens entscheiden kann. Die Entwicklung der Software für diese Anwendungen ist ein äußerst komplexer Prozess. Was jedoch wirklich die Ressourcen belastet und die Einhaltung der Zeitpläne gefährdet, ist das Austesten des Codes. Die Fehlerfindung und -behebung ist mühsam und zeitraubend und kann einen übermäßig großen Anteil am Gesamtzeitaufwand für die Applikationsentwicklung beanspruchen. Ein Werkzeug wie LiveCODE, das die Entwicklungszeit verkürzen kann und gleichzeitig dazu beiträgt, die Qualität der Software insgesamt zu verbessern, kann sich erheblich auf die Fähigkeit eines Unternehmens auswirken, ein besseres Produkt in kürzerer Zeit auf den Markt zu bringen.

LiveCODE nutzt die automatisierte Instrumentierungstechnologie von AMC, die dem Anwender die Möglichkeit gibt, seine Software interaktiv auszutesten, während die Applikation auf dem Zielsystem läuft. Mit Hilfe von LiveCODE kann der Entwickler die Programmausführung auf einer hohen Abstraktionsebene grafisch visualisieren, um sich zunächst einen raschen Überblick über seine Funktion zu verschaffen. Anschließend können einzelne Bereiche genauer untersucht werden, und zur Diagnose von Problemen lässt sich spezieller Code einfügen. All dies ist ohne erneutes Compilieren oder Anhalten des Programms möglich. Durch die Möglichkeit des interaktiven Debuggings bei laufender Applikation kann der Entwickler den Zeitaufwand für das Debugging entscheidend verringern und mehr Zeit für seine eigentliche Aufgabe – das Entwickeln von Programmcode – verwenden.

LiveCODE für PowerPC-Prozessorarchitekturen ist ab sofort lieferbar. LiveCODE wird sowohl einzeln als auch im Paket für fünf oder zehn Arbeitsplätze angeboten. LiveCODE für PowerpCNxWorks ist für Host-Systeme unter Windows 98/NT lieferbar. Demnächst wird LiveCODE ebenfalls für Solaris-Hostsysteme zur Verfügung stehen. (pa)

Applied Microsystems
Tel.: 089/4 27 40 30
Halle/Stand: 12/K09

Windows-fähige Embedded-Systeme

Im Zeichen von Open-Control steht das Messeprogramm von Wind River Systems auf der Embedded Systems im Februar. Highlight der Ausstellung ist die Anpassung von Microsofts Standardschnittstelle DCOM für Embedded-Systeme. Die Portierung VxDCOM erfüllt die speziellen Größenanforderungen für die typischen Speicherbeschränkungen des Embedded-Markts. Dank der Implementierung in das Betriebssystem VxWorks kommunizieren Embedded-Applikationen uneingeschränkt mit PC-basierten Netzwerkumgebungen. Das ermöglicht es beispielsweise, Daten von Steuerungsmaschinen in Excel-Arbeitsmappen zu übertragen und auszuwerten. Wind River Systems erfüllt damit den Wunsch vieler Automatisierer, herstellerspezifische Systeme mit PC-

Lösungen zu verbinden. Das Ausstellungsprogramm wird von der Standard-Software-Umgebung Tornado II abgerundet. Sie ermöglicht eine beschleunigte Produktivität bei der Entwicklung von Embedded-Systemen. Die aktuelle Version ist auf die Grafik- und Internet-Lösungen von Wind River Systems abgestimmt: die Java Runtime Environment (JRE) »Personal Java forVxWorks«, die C++-Programmierschnittstelle »Zinc for VxWorks« und das Internet-Browser-Toolkit »eNavigator«. Alle Lösungen berücksichtigen die speziellen Speicherbeschränkungen von Embedded-Geräten wie Set-Top-Boxen oder PDAs. Tornado for Managed Switches (TMS) adressiert die Hersteller von Netzwerkequipment, die sich häufig mit inkompatiblen Hard- und Software-Produkten konfrontiert sehen. Die Komplettlösung bietet alle wichtigen Software-Bestandteile zur schnellen und effektiven Entwicklung von beispielsweise Ethernet-Switches, Routern oder Gateways. (pa)

Wind River Systems
Tel.: 089/9 62 44 50
Halle/Stand: 12/L07

IDE für PowerPC, 68K/ColdFire, DSP und MCore

Die Motorola-Tochter Metrowerks präsentiert auf der Embedded Systems die neuesten Versionen seiner Software-Entwicklungsumgebung CodeWarrior für PowerPC, 68K/Coldfire, DSP und MCore. CodeWarrior ist eine leistungsstarke und benutzerfreundliche Tool-Suite zur Produktivitätssteigerung bei der Software-Entwicklung. Demonstriert wird die Unterstützung der CodeWarrior-IDE für RSIC-Prozessoren der PowerPC-Familie, für die Prozessorfamilie MCore und MC68000 einschließlich MC68328 (DragonBall), MC68EZ328, MC68 VZ328 sowie für die CPU32- und ColdFire-Prozessoren. Dank der Architektur des Projektmanagers und des Build-Systems, dem Code-Browser und Code-Navigationssystem kann der Entwickler reinen Code schreiben und die Compile-Build-Debug-Zyklen beschleunigen. Die Entwickungumgebung ist extrem stark integriert, sodass für die Navigation zwischen den Tools keine Zeit verloren geht und mehr Zeit für die Code-Generierung bleibt. Code-Warrior für DSP erlaubt das Schreiben von optimiertem C-Code für 568xx-DSPs. Dank der Codewarrior-Technologie lassen sich effiziente und portierbare Applikationen programmieren, die sich problemlos auf künftige Motorola-DSP-Architekturen anpassen lassen. (pa)

Metrowerks
Tel.: 0611/97 77 42 35
Halle/Stand: 12/C22

Prüfung des Langzeitverhaltens von Steuergeräten

In der Automobilindustrie werden in zunehmenden Maße mechanische Steuerkomponenten durch elektronische Steuergeräte ersetzt. Zum Nachweis einer vorgegebenen Zuverlässigkeit müssen die Steuergeräte bezüglich ihres Langzeitverhaltens geprüft werden. Dies ist insofern bedeutend, als diese wichtige Funktionen steuern und ein Ausfall des Steuergeräts einen Stillstand des ganzen Fahrzeugs zur Folge haben kann. Die Prüfung erfolgt unter extremen klimatischen und mechanischen Bedingungen und unter Verwendung der Originallast. Die Prüflinge befinden sich auf einem Vibrator in einem Klimaschrank. Die Last befindet sich im Prüfraum unter normalen klimatischen Bedingungen. Die Prüflinge werden den mechanischen Belastungen eines Karosseriеanbauteils ausgesetzt. Gleichzeitig werden Zyklen mit den Temperaturen des Einsatzfalls durchgeführt. Nach einer bestimmten Zeit werden die Prüflinge konstant einer hohen Temperatur ausgesetzt, um die Alterung zu beschleunigen. Am Schluss der Prüfung werden nochmals mehrere Temperaturzyklen durchgeführt.

Die Erfassung der Messwerte erfolgt mit einem PC, der mit entsprechenden Einsteckkarten ausgerüstet ist. Als Betriebssystem wird Windows NT 4.0 verwendet. Die Prüf-Software von GADV ist mit LabVIEW entwickelt worden. Sie misst die Temperatur als Führungsgröße und steuert die Prüflinge entsprechend an. Gleichzeitig wird die Reaktion des Prüflings auf die Ansteuerung gemessen. Die wichtigsten Größen werden am Bildschirm dargestellt. Alle Messwerte werden lokal und auf dem Netzwerk abgelegt. Hierbei sind Vorkehrungen getroffen, dass ein Fehlen der Netzwerkressourcen die Messwertaufnahme nicht stört und dass nach erneuter Verfügbarkeit des Netzwerks die Messwerte ergänzt werden. Der Einsatz der Software kann sowohl am Prüfstand als auch am Büroarbeitsplatz erfolgen. Die abgelegten Messwerte können wieder eingelesen und angezeigt werden. Dies ist auch während einer Prüfung vom Büroarbeitsplatz aus möglich, wenn Zugriff auf die im Netzwerk abgelegten Messwerte besteht. (pa)

GADV
Tel.: 0 70 31/719 60
Halle/Stand: 12/N26

LabVIEW in Echtzeit auf intelligenten Datenerfassungskarten

National Instruments stellt auf der Embedded Systems in Nürnberg LabVIEW RT (Real-Time) vor, eine Echtzeitversion der Applikationssoftware LabVIEW sowie die intelligenten Datenerfassungskarten (DAQ) der RT-Serie für den Einsatz zur Echtzeitsteuerung auf Microsoft Windows basierten Computern. LabVIEW RT nutzt die Vorteile der standardmäßig vorhandenen Entwicklungsfunktionalitäten von LabVIEW und lädt dann komplette Programme auf den entsprechenden Prozessor einer DAQ-Karte der RT-Serie, um die Ausführung in Echtzeit zu ermöglichen. Das Herunterladen erfolgt durch einen Befehl im Pulldown-Menü. Einmal direkt auf den Prozessor der intelligenten DAQ-Karte der RT-Serie geladen, läuft LabVIEW RT unabhängig vom Prozessor des Host-Computers, also auch dann, wenn die Maus bewegt wird oder der Host-Computer die Applikation wechselt. LabVIEW RT läuft sogar stabil weiter, wenn das Betriebssystem des Host-Computers abstürzt.

Zu den typischen Meß- und Automatisierungsanwendungen, die eine Steuerung in Echtzeit erfordern, gehören die Maschinen- und Prozesssteuerung, Simulation, Überwachung und Testausführung.

Durch LabVIEW RT und Microsoft Windows vereinfacht National Instruments die Erstellung von Echtzeitapplikationen in der Mess- und Automatisierungstechnik. Die DAQ-Karten, die in der RT-Serie zum Einsatz kommen, basieren auf bewährten Technologien. Die Einsteckkarten bauen auf den PCI- und CompactPCI/PXI-Formfaktoren auf. Da diese Karten dieselbe Datenerfassungstechnologie verwenden wie andere DAQ-Karten, kann der Anwender die gleichen LabVIEW-DAQ-Aufrufe verwenden, die eine skalierbare Lösung von traditioneller zu Echtzeit-Datenerfassung bereitstellen. (pa)

National Instruments
Tel.: 089/7 41 31 30
Halle/Stand: 12/N24

Internet-Technologie für Embedded-Systeme

In modernen Fertigungsprozessen müssen heute eine Vielzahl von Fertigungskomponenten exakt aufeinander abgestimmt sein. Kompliziert wird es, wenn in einem laufenden Prozess Komponenten hinzukommen oder parametriert werden sollen. Bislang war dies nur mit großem administrativen Aufwand möglich, der immer wieder den Stillstand der gesamten Fertigung erforderte. Um solche Umrüstzeiten zu minimieren, bietet 3SOFT jetzt mit ihrer Pro-Web-Technologie eine Internet-basierte Lösung für diese Aufgabenstellungen an. Auf der Embedded Systems wird das Software-Unternehmen erstmals eine Applikation für verteilte Systeme in der Automatisierungstechnik zeigen. Dabei stützt man sich vor allem auf das Java-basierte Komponentenmodell »Java Intelligent Network Interface« (Jini) von Sun Microsystems.

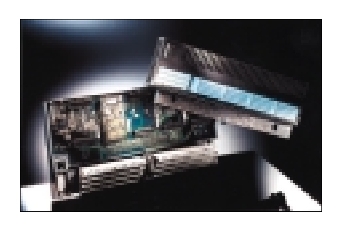
Anhand der Pro-Web-Technologie wird gezeigt, wie Jini in der Automatisierungstechnik zur Interaktion vernetzter Fertigungskomponenten unterschiedlicher Hersteller eingesetzt werden kann. Möglich wird damit automatisches Konfigurieren, Bedienen und Beobachten, Wartung und Diagnose u.v.m. Mit Jini lassen sich zudem einzelne Komponenten dynamisch ein- oder ausklinken Dabei werden Geräte durch in Java implementierte Jini-Komponenten repräsentiert, die über eine beliebige Schnittstelle mit der eigentlichen Steuerungs-Software im Gerät kommunizieren, nach außen hin aber eine standardisierte Oberfläche anbieten.

Der wichtigste Bestandteil von Jini ist ein Discovery-Mechanismus, der das Auffinden von Look-up-Diensten ermöglicht. Diese Look-up-Services dienen dazu, weitere Jini-Dienste anhand von Schnittstellen und Attributen zu finden. Besonderen Wert legt man auf die Skalierbarkeit entsprechend der Restriktionen in Embedded-Systemen. Hier unterscheiden die Erlanger Software-Spezialisten zwischen Geräten mit und ohne Java-Virtual-Machine.

Zukünftig wird der Betreiber einer Fertigungsstraße durch die Erweiterung der ProWeb-Technologie zu einem Jini-Framework in der Lage sein, per »plug and play« seine Anlage ohne zusätzlichen Aufwand um- und nachzurüsten. 3S0FT rechnet für seine ProWeb-Technologie mit sehr guten Marktchancen, denn inzwischen haben sich Ethernet und TCP/IP in der Automatisierungstechnik etabliert. Dadurch können sich jetzt Hersteller, Software-Ingenieure und Anwender auch die Vorteile der auf TCP/IP-basierten Protokolle und der Jini-Konzepte zu Nutze machen. Die Firma arbeitet kontinuierlich daran, die Einsatzmöglichkeiten der Internet-Technologie für Embedded-Systeme auszubauen. Erst kürzlich wurde der HTTP-Server auf das Embedded Betriebssystem Windows CE von Microsoft portiert und so die ProWeb-Technologie neben VxWorks, PxROS u.a. auch für Win32-Systeme verfügbar gemacht. (pa)

3SOFT
Tel.: 0 91 31/7 70 10
Halle/Stand: 12/M7

Embedded-Systeme mit MAX-Modulen realisieren



Flexibilität und Schnelligkeit sind mitunter die entscheidenden Kriterien für eine erfolgreiche Behauptung im Wettbewerb. Damit Maschinen- und Gerätehersteller das »Steuer-Rad« nicht jedesmal neu erfinden müssen, gibt es die MAX-Module von Sorcus. Das modulare Hardware-Konzept erlaubt es, in kürzester Zeit maßgeschneiderte Embedded-Systeme zu realisieren. Dabei beschränkt sich die Hardware-Entwicklung im Wesentlichen auf die Auswahl der benötigten CPU-, Speicher- und Schnittstellenbausteine. Der Aufbau ist kompakt: Die 58 mm langen, 29 mm breiten und 10 mm hohen Bausteine steckt man einfach im Sandwich-Verfahren übereinander. Die Leitungen des X-Bus, über den die Bausteine untereinander kommunizieren, werden dabei automatisch durchverbunden. In Längsrichtung auf der gegenüberliegenden Seite jedes Moduls befinden sich Pfostenstecker, deren Kontaktebenen zum Anschluss der I/O-Kanäle rechtwinklig nach außen zeigen. Bis zu 16 Module lassen sich auf diese Weise zur Wunschkonfiguration verbinden, egal, ob Low-cost-, echtzeitfähiges Multiprozessorsystem oder Standard-PC-Architektur. Insgesamt können an einen Bus bis zu 256 Module angeschlossen werden.

Die eigentliche Entwicklungsarbeit – und ebenso das Know-how – des Geräteherstellers besteht nun darin, das Steu-

erprogramm zu implementieren, das dem Endanwender die individuellen Maschinenfunktionen zugänglich macht. Wenn es sich um zeitkritische Prozesse handelt, kommt das echtzeitfähige OsX als Betriebssystem zum Einsatz, ansonsten bildet Windows-CE die geeignete Plattform für Standardaufgaben. In beiden Fällen dienen zur Programmierung Standardentwicklungsumgebungen, z.B. von Microsoft oder Borland/Inprise. Dies gilt ebenso für eigene Echtzeitprogramme. Entsprechende Treiber und Bibliotheken stehen für C++; Delphi, VisualBasic usw. zur Verfügung. Auch auf der Software-Seite kommt die Flexibilität nicht zu kurz. MAX-Module stellen sich aus Sicht des Programmierers einheitlich dar, d.h., I/O-Zugriffe auf verschiedene Hardware-Module gestalten sich über das verwendete Kanalkonzept völlig analog. Nachträgliche Modifikationen an der Hardware während des Entwicklungsprozesses machen somit bisherige Programmierarbeiten nicht umsonst. Vor dem Zugriff auf einen Ein- oder Ausgang öffnet man einen Kanal mit bestimmten Eigenschaften und bekommt ein Handle zurückgeliefert, das den Kanal von da ab zum Lesen bzw. Setzen von Werten identifiziert. Die Palette der verfügbaren MAX-Module reicht von x86-CPU-Bausteinen, RAM-, EPROM- und Flash-Speichern über analoge und digitale Ein-/Ausgänge, serielle Schnittstellen der Typen RS232/422/485, Feldbusanschaltungen für Profibus, CAN usw. bis hin zu Funktionsmodulen mit Zählern oder Inkrementalgeber-Interfaces. Die CPU-Module sind mit 486-Prozessoren und 100 MHz Taktfrequenz sowie verschiedenen Bestückungsoptionen erhältlich, z.B. bis zu 64 MByte RAM oder der Anschlussmöglichkeit für LC-Displays. Für Anwendungen, die zeitweise vom Netz getrennt sind oder ständig von Akkus gespeist werden, ist der Sleep-Modus interessant. Die CPU wird dann in Ruhezeiten so weit heruntergetaktet, dass sich der Stromverbrauch auf ein Minimum reduziert. Falls trotz der zahlreichen Möglichkeiten irgendwelche Kundenwünsche offen bleiben, gibt es immer noch einen Ausweg: Der Hersteller wird die Busspezifikationen offenlegen, sodass Anwender in der Lage sind, auch eigene Module zu entwickeln. (pa)

Sorcus
Tel.: 0 62 21/3 20 60
Halle/Stand: 12/B13

USB-Boundary-Scan-Controller

Synatron stellt mit dem JT 3710/USB DataBlaster von JTAG Technologies den einen über USB gesteuerten Boundary-Scan-Controller vor. Dieser ermöglicht Test-und ISP-Applikationen (ln-System Programming) sowohl für portable Anwendungen als auch für den Desktop-Betrieb mit hohem Durchsatz. Er ist ein Instrument mit kleiner Standfläche (22 cm x 14 cm x 4 cm), das an einen PC oder eine Workstation über das USB-Interface angeschlossen wird. Der Controller enthält einige besondere Features, um die hohen Datenraten und großen Vektortiefen zu erreichen, die für Hochgeschwindigkeitsapplikationen z.B. bei der In-System-Flashprogrammierung benötigt werden. Zu diesen besonderen Merkmalen gehören das Chipset für die Real-Time-Datendekompression, sehr schnelle TAP-Treiber (Test Access Port) sowie das spezielle AutoWrite-Feature. Zusammen genommen steigern diese Elemente die Geschwindigkeit der Flash-Programmierung beträchtlich. Ein sehr tiefes Memory zur lokalen Speicherung von Files erhöht noch zusätzlich die effektive Datenrate während der Flash-Programmierung. Zwei Varianten des Controllers sind derzeit verfügbar. Für den portablen oder den Benchtop-Betrieb mit Anschluss an ein Notebook (z.B. im Field-Sevice oder im R&D-Engineering) gibt es die kompakte Version mit Anschluss der TAP-Signale über einen 20-poligen 0,05-Zoll-Stecker direkt am Frontpanel des Testers.

Für Anwendungen, bei denen sich der Prüfling weit entfernt vom Instrument befindet, steht eine Variante zur Verfügung, wobei ein aktiver vierfach PQD in bis zu 4 m Entfernung z.B. in einem Test-Fixture innerhalb einer Fertigungslinie integriert werden kann. Diese Nähe zum Prüfling ist unabdingbare Voraussetzung für High-Performance-Anwendungen. Der Controller ist sowohl mit dem kompletten Satz der Entwicklungswerkzeuge von JTAG für die automatische Testpatterngenerierung als auch für die In-System-Programmierung kompatibel wie zum Beispiel dem BTPG (Boundary-Scan-Test-Program-Generator) und dem BFPG (Boundary-Scan-Flash-Programming-Generator). Der Gebrauch des BFPG vereinfacht die Generierung von Flash-Programmieralgorith-

men ganz erheblich. Dies geschieht durch die automatische Integration der Netzliste des Boards zusammen mit den BSDL-Files der ICs und einer umfangreichen Bibliothek von Flash-ICs mit über 1600 Bauteilen von AMD, Intel, Fujitsu, Hitachi, SST, Toshiba, SGS, Xicor, White und anderen Flash-Memory Herstellern.

Die Applikationen können über das JTAG Technologies eigene Windows-GUI wie z.B. AEX-Manager, PowerVIP, FlashProg-Manager oder PLD-Prog Manager ausgeführt werden. Es besteht aber ebenso die Möglichkeit, eine kundenspezifische Benutzeroberfläche zu verwenden mit Integration von DLLs oder Treibern für LabVIEW- und LabWindows/CVI-Umgebungen. (pa)

Synatron
Tel.: 08 11/60 00 50
Halle/Stand: 1/J8

Messtechnik für Embedded-Systeme

Auf der Embedded Systems präsentiert Agilent Technologies zusammen mit dem Partnerunternehmen Meilhaus Electronic Lösungen für das Debugging von Digital- und Mixed-Signal-Schaltungen, die Hardware-/Software-Integration und die Prototypenverifizierung insbesondere von Embedded- und PCI-Bus-Systemen. Agilent DIRECT, die Direktvertriebsorganisation von Agilent Technologies, zeigt eine Auswahl aus dem Produktspektrum für die allgemeine Messtechnik, darunter die Digitaloszilloskope Infiniium, das Mixed-Signal-Oszilloskop Agilent 45645D sowie die Labor-Logikanalysatoren der Familien Agilent 1660 und 1670.

Basierend auf den Logikanalysator-Systemfamilien Agilent 16700 und 16600 bietet man ein flexibles Konzept zur Analyse und Emulation voll Embedded-Systemen. Die Analyse reicht dabei vom Analogsignal über Timing und Status bis hin zur Hochsprache, die Emulation unterstützt rund 250 unterschiedliche Mikroprozessor- und Mikrocontroller-Typen einschließlich neuester Technologien wie PPC, M-Core und ARM.

Mit den Benchtop-Logikanalysatoren der Familie Agilent 1670G setzte dieser Hersteller, nach eigener Einschätzung neue Maßstäbe im Speicherbereich. Sie bieten eine bis zu 500-fach größere Speichertiefe als die Modelle der Familie Agilent 1660E und kosten nur etwa halb so viel wie vergleichbare modulare Logikanalysatoren. Die standardmäßige Speichertiefe beträgt 64 KSamples und kann bei Bedarf auf 256 KSamples oder 2 MSamples erweitert werden. Die Geräte bieten die Wahl zwischen 34, 68, 102 oder 136 Kanälen und ermöglichen Zustandsanalysen bis 150 MHz sowie Timing-Analysen bis 500 MHz. Bei Bedarf lassen sich die Logikanalysatoren kostengünstig um ein integriertes Oszilloskop oder einen integrierten Bitmustergenerator erweitern.

Der PC-basierende Logikanalysator Agilent LogicWave kostet lediglich etwa halb so viel wie ein vergleichbares Benchtop-Modell und zeichnet sich durch besonders einfache Bedienbarkeit aus. Zielgruppe sind Hardware- und FPGA-Entwickler, die durch die oftmals komplizierte Bedienung herkömmlicher Logikanalysatoren frustriert sind. Der LogicWave bietet 34 Kanäle mit einer Speichertiefe von jeweils 128 KSamples und ermöglicht Zustandsanalysen bis 100 MHz sowie Timing-Analysen bis 250 MHz. Dadurch, dass der PC-Bildschirm mitbenutzt wird, ist der neue Logikanalysator wesentlich kostengünstiger und kompakter als ein vergleichbares Benchtop-Modell.

Der CompactPCI-Exerciser und -Analyzer Agilent E2940A ist auf einer einzigen Platine im Format 3U untergebracht und beansprucht nur einen Steckplatz. Er bietet komplette PCI-Zustandsanalyse, einen Echtzeit-Protokollcheck und Timing-Überwachung sowie eine Busperformance-Statistik. Der optionale On-Board-Exerciser umfasst einen voll steuerbaren PCI-Master mit PCI-Target. Damit lassen sich CompactPCI-Systeme und -Baugruppen testen, ohne dass das Host-System abgeschaltet und neu gestartet werden muss

Unter der Bezeichnung Agilent E2928A wird der PCI-Exerciser/Analysator auch in einer Version für 32/64 Bit Busbreite und 66 MHz Bustakt angeboten. Damit lassen sich Hochleistungschips, -PC-Karten und -Systeme schon in einer frühen Phase des Entwicklungszyklus gründlich testen. Er ist uneingeschränkt konform mit der 66-MHz-PCI-Spezifikation. Beide Werkzeuge steigern die Produktivität von Systemintegratoren. Sie helfen Entwicklern von CompactPCI-Karten beim Debugging wertvolle Zeit zu sparen und neue Produkte schneller auf den Markt zu bringen. (pa)

Agilent Technologies
Tel.:
0 70 31/4 64 19 55
Halle/Stand: 12/K26

PCI-Bus-Interface für PowerQuicc II und PowerPC



Der PowerSpan von Tundra Semiconductor (Distributor: Atlantik Elektronik), eine Motorola-Prozessor-to-PCI-Bus-Bridge, ist laut Hersteller der erste Multiport-PCI-Switch für den PowerQuicc II (MPC8260) und die PowerPC-Prozessoren 740/750 und 603e. Mit den Varianten Single-PCI (64 Bit/66 MHz) und Dual-PCI (32 Bit/66 MHz und 64 Bit/66MHz) definiert der PowerSpan eine neue Stufe der Flexibilität. Diese und die hohe Leistung basieren auf der besonderen Switched-PCI-Architektur. Diese Schaltstruktur ist entscheidend, um die Verarbeitungsleistung des PowerPCs mit den wachsenden I/O-Anforderungen auf dem PCI-Subsystem zu verknüpfen. Zusätzlich ermöglicht der Baustein ein integriertes PCI-to-PCI-Bridging und Multi-Port-DMA-Operationen. Als Bus-Interface ist er lese- und schreiboptimiert und schafft es dadurch Verzögerungen bei der Übertragung erheblich zu reduzieren. (pa)

Atlantik Elektronik
Tel.: 089/89 50 50
Halle/Stand: 12/B23

Pentium-Debugger und OSEK/VDX-Support für 68HC12

Zur Embedded Systems präsentiert die AK Elektronik sein umfangreiches Lieferspektrum. Dazu gehören unter anderem Produkte von Embedded-Power Corporation (Pentium-Debugger), Noral (90-MHz-Version des ColdFire und OSEK/VDX-Support für den 68HC12) sowie BittWare (Customized-SHARCDSP-Board-Solutions). Mit dem Advanced-Q.E.D.-JTAG-Pentium-Debugger von Embedded-Power lie-

fert man eine umfassende Debugging-Lösung für alle Entwickler, die mit Pentium-l-, II-, III-, Mobile- und Celeron-Prozessoren arbeiten. Der JTAG-Debugger läuft unter Windows 95/98/NT und bietet neben den Standard-Debug-Features auch spezielle Funktionen, um »versteckte« interne Register darzustellen. Außerdem erlaubt er die Ausführung von Breakpoints, unterstützt CIC++-Compiler von Microsoft, Borland, GAD-UL sowie der BeaconSuite und ermöglicht Kernel-Aware-Debugging mit dem Echtzeit-Betriebssystem RTXC.

Darüber hinaus haben die EmbeddedPower und AMD bekannt gegeben, dass RTXC und »RTXCnet Network Protocol Portfolio« als Echtzeit-Kernel und Protokoll-Stack für alle Referenzdesigns mit der neuen Am186CC-Familie eingesetzt werden. Dieses Abkommen schließt auch die Entwicklungs-Tools der BeaconSuite 186 ein, die unter anderem einen Visualprobe-Debugger und Link&Locate-86-Application-Builder beinhalten.

Die 90-MHz-Version des Noral-ColdFire-Debuggers beinhaltet eine spezielle BDM-Umgebung (Background Debug Mode) und verringert damit die Komplexitä des Debuggings von Embedded-System-Anwendungen auf der Basis der ColdFire-Architektur von Motorola. Die BDM-Umgebung enthält den größten Echtzeit-Trace-Puffer (1 MByte), der gegenwärtig für ColdFire-CPUs erhältlich ist. Das für alle ColdFire 52xx- und 53xx-Designs verfügbare Flex-BDM/ColdFire-System kombiniert intelligente BDM-Hardware mit der Echtzeit-Debugging-Software »Flex« von Noral zu einer Lösung, deren Leistungsfähigkeit normalerweise nur von ln-Circuit-Emulatoren geboten wird.

Für den Echtzeit-Debugger Flex-BDMI 68HC12 wird ab sofort OSEK/VDX-Unterstützung angeboten. Beim Flex-BDM/68HCI2 handelt es sich um einen High-Level-Debugger, der speziell für die Entwicklung von echtzeitfähigen Embedded-System-Anwendungen mit der 68HC12-Familie von Motorola geeignet ist. Der Debugger läuft unter Windows 3.1/95/NT und lässt sich in sämtliche gängige Embedded-System-IDEs einbinden. Der OSEK-spezifische Debug-Support ist als Lizenz erhältlich und wird nahtlos in den Debugger integriert. Somit sind Tasks, Stacks, Ressourcen, Nachrichten, Alarme und Zähler über die benutzerfreundliche Bedienoberfläche zugänglich.

In der heutigen wettbewerbsstarken Elektronikindustrie ist Zeit ein kritischer Faktor. Deshalb bietet die Applicationspecific Products Division (APD) von BittWare ihren Kunden customized SHARC-DSP-Hard- und -Software-Lösungen. BittWare APD kann sowohl ein bestehendes Design aus der umfangreichen Off-the-shelf-Produktline (Single-, Dual-oder Quad-SHARC-Boards, basierend auf PCI, CPCI, PC/104, stand alone) modifizieren als auch ein neues Produkt entwerfen, das exakt auf die Spezifikationen des Anwenders zugeschnitten ist. Da man besonderen Wert auf schnelle Turnaround-Zeiten legt, profitieren die Anwender durch verringerte Entwicklungskosten und schnellere Time-to-Market. (pa)

AK Elektronik
Tel.: 0 82 50/9 99 50
Halle/Stand: 12/L19

Beschleunigte Entwicklung von Internet-Applikationen

Rational Software kündigt ein wesentliches Update seiner Produktlinie an. Damit sollen Anwender in die Lage versetzt werden, die Entwicklung ihrer Internet-Anwendungen zu beschleunigen, um somit schneller und gleichzeitig qualitativ hochwertigere Software für das Internet zu entwickeln. Die neuen Versionen Rational Suite 1.5 und Rational ClearCase 4.0 beinhalten neue lntegrationsmöglichkeiten und erweiterte Funktionalitäten, um Software-Entwicklungsteams das Design, die Entwicklung, das Testen und das Änderungsmanagement zu erleichtern. Die neuen Integrationsmöglichkeiten werden durch das Unfied-Change-Management (UCM) ermöglicht, ein neuer Workflow-Prozess, der Produkte miteinander kombiniert, um das Management von Aktivitäten und Artefakten über den gesamten Software-Entwicklungszyklus zu automatisieren. (pa)

Rational Software
Tel.: 089/62 83 80
Halle/Stand: 12/K20

Windows-Software für Programmiergerät



Die Firma Soft- und Hardwareentwicklung Engelmann & Schrader hat ab sofort das Programmiergerät Leaper-3 mit Software für DOS, Windows 95, 98 und NT im Lieferprogramm. Das kompakte Gerät programmiert EPROMs, EEPROMs und Flash-EPROMs bis 8 MBit und ist als SRAM-Tester geeignet. Es besitzt ein zweizeiliges Display, ein Tastenfeld und 2 x 32polige Programmiersockel. Dank der beiden Sockel ist es möglich, von einem Master eine Kopie zu erstellen. Der Programmer ist PC-gesteuert oder im Stand-alone-Betrieb (ohne PC) einsatzfähig. Damit eignet er sich auch für den Service-Einsatz. Die Dateiformate lntelHex, Binär und 80/86-Hex werden unterstützt. Die Stromversorgung erfolgt über das mitgelieferte Netzteil oder 2 x 9 V Akkus. (pa)

Engelmann & Schrader
Tel.: 0 51 21/7415 20

Komplette Echtzeitlösungen

Eonic Solutions bietet komplette Systemlösungen im Bereich der anspruchsvollen Echtzeitanwendungen an. Ein optimiertes Echtzeitbetriebssystem und zugehörige Entwicklungswerkzeuge in Verbindung mit einem flexiblen I/O-Konzept sowie der Verwendung von Kommunikationsstandards und Modulen mit digitalen Signalprozessoren für hohe Rechenleistung sind die Basis dieser Systeme. Diese Modularität erschließt den Anwendern aus Industrie, Automotive oder Telecom eine Fülle an Anwendungen mit verschiedenen Anforderungsprofilen in Bezug auf Zuverlässigkeit und Fehlerverträglichkeit und dient als Plattform für eine schnelle und wirtschaftliche Produktentwicklung. Virtuoso V.4.1 ist ein Real-Time-Software-Development-Tool für Single- und Multiprozessorsysteme, bestehend u.a aus Echtzeitbetriebssystem, Projektmanager, Build-In-Editor, Codegenerator, Task-Leyel-Debugger und Tracing-Monitor. Unterstützte Prozessoren sind: Analog Devices (ADSP-21020, 2106x, 2116x), Texas Instruments (TMS320C3X, 320C4X, 320C62XX, 320C67XX), Advanced RISC Machines (ARM, ARM7T) sowie Infineon Carmel.

Atlas ist eine zuverlässige Systemlösung für Embedded-Applikationen. Basierend auf dem lndustriestandard CompactPCl mit Windows NT auf der Host-Seite und dem Echtzeitbetriebssystem Virtuoso auf der DSP-Seite wächst Atlas mit den Anforderungen an die Anwendung vom Single- zum komplexen Multiprozessorsystem. Zusätzlich besteht die Möglichkeit, kundenspezifische Funktionen in Bezug auf Interprozessorkommunikation und Triggerfunktionen zu implementieren. Über Standardschnittstellen wie IEEE1394 (Firewire), IEEE 1355 (Spacewire), CAN, RS232, SCSI oder USB lassen sich Standalone-Anwendungen realisieren. (pa)

Eonic
Tel.: 07 31/93 60 00
Halle/Stand: B12

Robustes 6U-PowerPC-VMEbus-Board

SBS Technologies kündigt den Single-slot VG4, ein 6U-PowerPC-Board (G4/755/750, 300-500MHz) für den VMEbus. Es ist in verschiedenen Ausführungen lieferbar. Wahlweise kann der Anwender diesen Rechner mit Versteifungsstreben und Wedge-Locks (Klemmvorrichtung) bestellen um erhöhter Schock- und Vibrationsbelastung zu begegnen. Optional ist der Einsatz im Temperaturbereich von -40 °C bis +85 °C mit Hilfe einer Kühlplatte möglich. Ein zusätzlicher Schutzlack hält die Feuchtigkeit und andere Aerosole fern. Für Applikationen ohne besondere externe Beeinträchtigungen liegt der Temperaturbereich bei 0 bis +70 °C, auf die entsprechenden Vorkehrungen gegen Vibration und Feuchtigkeit wird dabei eventuell verzichtet. Für manche Anwendungen ist der MlL-STD-1553-Bus eine Voraussetzung. Aus diesem Grund kann auf dem VG4 ein entsprechender Controllerbaustein als Option integriert werden. Zur Basisplattfonn des Rechners gehört ein Speicher von maximal 256 MByte SDRAM (100 MHz) mit ECC oder Parity und der L2-Cache, der 1 bzw. 2 MByte groß sein kann. Zusammen mit der AltiVec-Technologie (Vector Arithmetik) ist der VG4 damit auch Workstationanforderungen gewachsen.

Neben den vielen On-board-Schnittstellen enthält das Board auch zwei PMC-Interfaces. Diese sorgen für größtmögliche Flexibilität durch die vielen PMC-Module, die am freien Markt verfügbar sind. Zwei DMA-Kanäle für Memory und PCI-Bus-Transfers sind ebenfalls auf dem Rechner. An Betriebssystem-Software werden VxWorks und LynxOS unterstützt. Muster des VG4 sind im Januar 2000 erhältlich, die Produktion wird im zweiten Quartal 2000 anlaufen. An der Frontseite ist die Reset-Taste, drei LEDs, das COP (Control and Observation Port) sowie die Front-I/O der PMC-Module angebracht. Daneben gibt es für Testzwecke ein JTAG-Interface. Über die beiden Stecker P0 und P2 werden vier serielle

Schnittstellen, ein paralleler Port, zwei USB-Interfaces, Ethernet (10/100BaseTx), ein LED, Keyboard und Mouse sowie LPT1 bereitgestellt. Die Signale Reset, BootSel und Cardfail stehen über P0 zur Verfügung. Neben einem Wide-SCSI (40 MB/s) befinden sich noch bis zu 64 MByte on-board Flash und 32 KByte nvSRAM auf dem Board. Mit dem Chipsatz MPC107 und dem Baustein Z8536 stehen sieben Timer/Counter zur Verfügung. Ein Watchdog und ein Real-Time-Clock unterstützen die Echtzeitsysteme. (pa)

SBS Technologies
Tel.: 08 21/5 03 40
Halle/Stand: 12/F15

Geräte per WAP-Handy über Internet fernsteuern

Smart Network Devices ist ein Hard- und Software-Designhaus für Embedded-Internet-Technologie. Das neueste Produkt ist der Embedded-Web-Server MWS1/X auf einer Leiterplatte von lediglich 3,2 mm x 519 mm Abmessungen inklusive 10BaseT-Ethernet-Interface. Wird dieser WEeb-Server in einem beliebigen Gerät integriert und mit dem Internet gekoppelt, so kann dieses Gerät per Web-Browser, per E-MaiI oder sogar per WAP-fähigem Mobiltelefon von einem beliebigen Punkt der Welt aus ferngesteuert werden. Die Hardware basiert auf dem RISC/DSP-Prozessor E1-16XT von Hyperstone Electronics. Als Software liefert Smart Network Devices das selbstentwickelte Netzwerkbetriebssystem HyNetOS, das außer einem vollständigen TCP/IP-Stack auch die E-Mail-Protokolle SMTP und POP3 sowie einen HTTP-1.1-Server bietet. Ein entsprechendes Entwicklungssystem wird voraussichtlich ab März 2000 lieferbar sein. Im Juni 2000 kommt noch eine Java-K-Virtual-Machine hinzu, die es erlauben wird, Anwendungs-Software für den Embedded-Web-Server MWS1/X direkt in Java zu programmieren. Smart Network Devices wird gemeinsam mit Hyperstone Electronics auf der Embedded Systems ausstellen und dort bereits einen ersten Prototypen des MWS1/X in Aktion zeigen können. (pa)

Smart Network Devices
Tel.: 0 21 31/22 32 61
Halle/Stand: D20

PC/104-Modul mit LCD-Controller

Advantech präsentiert ein 486er PC/104-Modul mit dem 36-Bit-LCD-Controller 6900 von C&T (mit 2 MByte Display-Memory On-Chip) und einer 10/100Base-T-Ethernet-Schnittstelle. Dieses sind auch die Hauptunterschiede zum PCM-3345. Beide Modelle basieren auf der STPC-Client-CPU DX-66, die einen 66-MHz-Front-Side-Bus (FSB) unterstützt. Alternativ oder in Kombination mit einer Festplatte kann auf beiden PCs ein Compact-Flash-Modul (bis zu 96 MByte) eingesetzt werden. Das PCM-3346 kann mit 8,16 oder 32 MByte Arbeitsspeicher (EDO-SO-DIMM) bestückt werden. Zwei serielle, ein paralleler Port, FDD und EIDE sind Standard. Watchdog und ATX-Power-Funktionen (remote power-on) ergänzen das kompakte PC-Modul. (pa)

Advantech
Tel.: 02 11/97 47 70
Halle/Stand: 12/F4

Bereich Embedded-Systeme ausgebaut

Bereits im gesamten Jahr 1999 wurde das Produktspektrum besonders kleiner Industrie-PCs von SSV ständig erweitert, sodass nun alle Modelle sowohl als Gehäuseversion zur Wand- oder Fahrzeugmontage oder als Einbauversionen z.B. in Maschinen zur Verfügung stehen. Ab sofort werden alle Standardbetriebssysteme unterstützt: Windows 95/98, NT, Windows CE, Linux, DOS sowie weitere Echtzeitbetriebssysteme z.B. QNX. Damit das besonders kleine Bauformat gewährleistet werden kann, setzt man weiterhin auf PC/104-Komponenten und Boards aus eigener Fertigung und Entwicklung. Hierbei werden zahlreiche Zusatzkarten auf PC/104-Basis angeboten: CAN-Module, PCMCIA-Adapter (z.B. für Wireless-LAN-Anwendungen), erweiterte I/O-Karten oder Analog/Digital-Module. Ethernet im industriellen Einsatz ist dabei auf allen Systemen gewährleistet: alle modernen Single-Board-Computer dieses Herstellers verfügen bereits standardmäßig über eine LAN-Schnittstelle auf Ethernet-Basis. Der Hersteller bietet auch die kundenspezifische Installation dieser Systeme an. Je nach Kundenwunsch kann die dabei benötigte Individual-Software gleich bei Auslieferung auf der Maschine installiert und konfiguriert werden. (pa)

SSV Embedded Systems
Tel.: 05 11/40 00 00
Halle/Stand: F10

Emulator mit Hardware-Unterstützung

Mit dem Ocean MSP430-COM erweitert Göpel electronic sein Angebot an Emulations-Tools für die MSP430xx-Produktfamilie von Texas Instruments um einen Emulator mit Hardware-Beschleunigung. Es ist ein komplettes Soft- und Hardware-Kit für die komfortable On-Chip-Emulation aller Produkte der MSP430-Familie mit ihren jeweiligen Ressourcen. Es dient dem Programmieren des EPROMlPROM mit Daten unterschiedlicher Formate sowie dem Debuggen von Programmen. Außerdem ermöglicht das Tool den interaktiven Zugriff auf alle Ressourcen (RAM, ROM, Peripherie) auch während des Debuggings im Stop-Zustand. Ressource-Zugriffe einschließlich Programmierung können als Skripte aufgezeichnet und abgearbeitet werden. Das Kit beruht auf einem RS232-gesteuerten JTAG-Controller, der eine erhöhte Testbusfrequenz von bis zu 12,5 MHz auf dem JTAG-Port ermöglicht. Er ist damit wesentlich schneller als die bisher verfügbare Low-cost-Lösung. Außerdem verfügt der Controller über eine Breakpunkt-Logik für beliebig viele Breakpunkte mit vier unterschiedlichen Typen. Zu emulierende Programme oder Programmierdaten können komplett in das Shadow-Memorv des Controllers geladen werden. Software-seitig kommt die bewährte Software von Ocean MSP430 zum Einsatz. Die 32-Bit-Applikation ist jetzt auch unter Windows NT lauffähig. Durch das Zusammenspiel der neuen Features mit den bewährten Leistungsparametern der bisherigen Tools arbeitet Ocean MSP40-COM rund 30mal schneller als Ocean MSP430-PRP, die bisherige Lösung auf Basis des Parallel-Ports, die auch weiterhin unterstützt wird. (pa)

Göpel Electronic
Tel.: 0 36 41/68 96 79
Halle/Stand: J14

Software für Embedded Systems

Das Echtzeitbetriebs-system auf dem Chip

Welcher Computer ist heute am allgegenwärtigsten? Der PC auf den Millionen von Schreibtischen im Büro oder zu Hause? Nein, tatsächlich ist es der 68HC05 von Motorola, ein winziger 8-Bit-Chip, der bereits in mehr als einer Milliarde Geräten gefunden werden kann. Die Hersteller von Produkten mit Riesenstückzahlen in der Konsum- und Unterhaltungselektronik verwenden riesige Mengen dieser kleinen Ein-Chip-Bauelemente – vorwiegend aus Kostengründen. Der Einsatz eines einzigen Chips ist nun mal erheblich kostengünstiger als einzelne Chips für RAM, ROM und den Prozessor selbst. Um es zu verdeutlichen: Die Ein-Chip-Lösung ist nicht unbedingt der preiswerteste Weg, um Speicherplatz zur Verfügung zu stellen. Auf den Byte-Preis bezogen ist On-Chip-RAM um den Faktor 100 teurer als die DRAMs im PC. Doch die billigste Möglichkeit, einen funktionsfähigen Computer in die Anwendung einzubetten, ist der Einsatz eines Ein-Chip-Mikrocontrollers (z.B. kostet der 12C508 PIC im 8-Pin-Gehäuse in Volumenstückzahlen unter einer Mark). Und nicht nur die geringeren Kosten des Mikrocontrollers zählen, denn eine Ein-Chip-Lösung reduziert zudem Verpackungs- sowie die Montagekosten. Zusätzlich ergibt sich durch den fehlenden externen Adressbus auch eine geringere Leistungsaufnahme, und sogar EMV-Probleme werden minimiert.

Einer der wesentlichen Aspekte eines Single-Chip-Systems ist der sehr eingeschränkte Speicherbereich. Im PC-Umfeld hat man sich daran gewöhnt, dass 64 MByte RAM gerade mal ausreichend sind. In der Ein-Chip-Welt ist der statische On-Chip-SRAM eine vergleichsweise transistorhungrige Angelegenheit. Daher sind auf den kleineren 8-Bit-Mikrocontrollern lediglich 128 Byte und auf dem derzeit größten und schnellsten Mikrocontroller, dem Motorola MPC555 PowerPC, 32 KByte integriert. In diesem Zusammenhang sollte daran erinnert werden, dass 1 Byte an ROM oder Flash-EEPROM mit wesentlich weniger Transistoren auskommt als 1 Byte SRAM, deshalb kann auf der gleichen Chipfläche mehr ROM integriert werden. Der MPC555 ist z.B. mit 448 KByte EEPROM ausgestattet.

Die Applikations-Software für die Ein-Chip-Umgebung muss deswegen klein und effizient sein, um den erforderlichen Speicherbedarf auf ein Minimum zu beschränken, denn ist der On-Chip-Speicher erst einmal ausgelastet und kein externer Adressbus vorhanden, gibt es keinen Ausweg mehr. Das Ziel ist daher, soviel Anwendungs- und Treiberfunktionen wie möglich in einen möglichst kleinen Speicher zu pressen, um die kostengünstigsten Ein-Chip-Controller einsetzen zu können. Bei solch einem hohen Druck auf den Speicheraspekt ist die herkömmliche Software-Technologie des »Systems auf einer Karte« nicht geeignet. Dieser Software-Typ entstammt dem Mainstream der Informationstechnik und ist üblicherweise für Ein-Chip-Systeme ungeeignet. Windows CE zum Beispiel wurde weit und breit als ein Echtzeitbetriebssystem für alle eingebetteten Systeme angepriesen. Eine Minimalkonfiguration jedoch erfordert bereits etwa 100 KByte RAM und 150 KByte ROM [3]. Solche Betriebssysteme wie z.B. Windows CE sind auch nicht dafür entwickelt worden, um den Einsatz von RAM und ROM zu optimieren bzw. RAM- gegen ROM-Speicher einzutauschen, um damit die Anzahl von Transistoren auf dem Chip zu minimieren. Die Software für Ein-Chip-Controller muß deswegen sehr sorgfältig entwickelt werden, da jedes Byte quasi heilig ist.

Zusätzlich zu den Einschränkungen beim On-Chip-Speicher weisen Single-Chip-Controller auch eine begrenzte Rechenleistung auf. Obwohl es z.B. den PowerPC als Ein-Chip-Version gibt (wie den erwähnten MPC555), kann sich keine der hier erforderlichen Ein-Chip-Versionen in puncto Leistung mit den Mainstream-Prozessoren messen. Die Taktfrequenz von 550 MHz eines Pentium III liegt weit außerhalb der Möglichkeiten eines solchen eingebetteten Systems aufgrund der Kosten, des Designs der Leiterkarten sowie der begrenzten Leistungsaufnahme. In der Fahrzeugelektronik beispielsweise sind meist Taktraten von 20 MHz oder weniger die Norm, und selbst diese Größenordnung ist hoch für Handys oder Pager mit den typischen Einschränkungen bei der Verlustleistung. Erforderlich

Eingeschränkter Speicherumfang

sind geringstmögliche Taktfrequenzen, da jeder Taktzyklus in Ein-Chip-Systemen ebenso »heilig« ist wie das Byte beim Speicher.

Eine weitere Anforderung an Produkte mit Ein-Chip-Controllern ist ein nahezu fehlerfreier Betrieb. Da die installierte Gerätebasis in die Millionen Stückzahlen geht, sind auch die potentiellen Kosten hoch, falls sich ein Software-Fehler zeigt. Sollte auch nur ein kleiner Prozentsatz der Kunden Probleme haben, ist die absolute Anzahl der verärgerten Anwender hoch. Produkte müssen eventuell zurückgerufen und aktualisiert werden. Ist die Software fehlerhaft und sind ROM-basierte Ein-Chip-Controller im Ein-

	Motorola 68HC12	Hitachi H8S	Infineon 80167
ROM	723	1235	803
RAM	83	156	144
CPU	2,18%	1,34%	1,25%

Tabelle 1. Vergleich der SSX5-Anforderungen für ROM, RAM und CPU-Zeit

Task	Periode	CPU-Zeit	Last1 (%)	Schedule	Last2 (%)
1	1ms	120µs	12,0	1ms	12,0
2	5ms	220µs	4,4	5ms	4,4
3	6ms	455µs	7,6	5ms	9,1
4	24ms	1277µs	5,3	20ms	6,4
		(Summe 29,3%)			(Summe 31,9%)

Tabelle 2: Ein einfaches System mit vier periodischen Tasks

satz, dann muss die gesamte Elektronik ersetzt werden (daher wird zunehmend Flash-EEPROM bei Ein-Chip-Bausteinen verwendet, denn dann kann die Software einfach ersetzt werden). Der Imageverlust kann ebenfalls schwerwiegende Folgen haben. Man denke nur an die öffentliche Wirkung eines Rückrufs durch einen Automobilhersteller, um eine Fehlfunktion im Motormanagement oder Bremssystem, ausgelöst durch einen Software-Fehler, zu beheben.

Für das korrekte Verhalten von eingebetteter Software sind zwei Aspekte maßgeblich: die funktionale und die zeitgenaue Korrektheit. Mit anderen Worten, die richtige Aktivität muss zum richtigen Zeitpunkt erfolgen. Obwohl die Beseitigung von Software-Fehlern ein wichtiger Punkt ist, ist dies für den Mainstream der IT nicht die höchste Priorität. Die Besatzung des Kriegsschiffs USS Yorktown war davon betroffen als eine fehlerhafte Dateneingabe im Anwendungsprogramm das Betriebssystem Windows NT zum Absturz brachte und damit auch der Antrieb des Schiffs für mehrere Stunden lahmgelegt wurde. Zum Glück werden durch gründliches Testen der Software die meisten funktionalen Fehler entdeckt und beseitigt, und damit hätte der »Bug« im Anwendungsprogramm, der die Yorktown außer Gefecht setzte, durch eine passende Teststrategie auch entdeckt werden können. Mit diesen Tests ist es jedoch nicht möglich, das korrekte Echtzeitverhalten nachzuweisen.

Schon allein die Überprüfung, wie lange die einzelnen Teile des Programmcodes benötigen, ist schwierig genug. Dann auch noch auszutesten, welches Zeitverhalten sich ergibt, wenn die unterschiedlichen Ereignisse (Events) zu jedem beliebigen Zeitpunkt auftreten können, ist einfach nicht machbar, da zu viele verschiedene Schleifen durchlaufen werden können. Der einzig mögliche Weg, das korrekte Zeitverhalten von Software zu verifizieren, ist durch zusätzlichen Aufwand am Beginn des Designs und durch Analyse der Implementierung. Daraus ergibt sich ein Worst-Case-Szenario, und es kann berechnet werden, wie sich ein System mit diesem Aufbau und dieser Software verhält.

Immer komplexere Software

Die Software für Ein-Chip-Systeme wird aufgrund der steigenden Anforderungen an die Systemfunktionalität immer komplexer. Zum Beispiel lag die ROM-Größe der gesamten Elektronik beim Volvo S70 im Jahre 1992 gerade bei 500 KByte. Für den Volvo S80 (1998) sind es bereits 2 MByte. Die Automobilindustrie ist noch relativ konservativ mit langen Produktentwicklungszyklen von typischerweise vier Jahren. In anderen Industriebereichen sind die Entwicklungszyklen oft gerade noch neun Monate lang, zudem wächst die Komplexität dort auch noch schneller.

In der Welt der eingebetteten »Systeme auf Boardbasis« mit ihren geringeren Stückzahlen hat der Einsatz von Echtzeitbetriebssystemen zu reduzierten Entwicklungskosten geführt, da die Komplexität besser kontrollierbar wurde. Leider sind die meisten Echtzeitbetriebssysteme nicht für Ein-Chip-Systeme geeignet, denn der Speicher- und Taktzyklus-Overhead ist viel zu hoch, und das Worst-Case-Verhalten unter Echtzeitbedingungen kann vor dem tatsächlichen Einsatz nicht ermittelt werden.

Das Problem des zusätzlich erforderlichen Aufwands ist dabei entscheidend. Zum einen ist dies die Tatsache, dass die meisten Echtzeitbetriebssysteme gar nicht in das On-Chip-Memory passen oder kein Platz mehr für den Anwendungscode und die Daten bleibt. Daraus ergibt sich die Kostenfrage; RAM- und ROM-Kosten schlagen pro Kilobyte mit einigen Pfennigen für On-Chip-ROM zu Buche, für On-Chip-RAM sind es knapp eine Mark. Multipliziert man diese Zusatzkosten mit dem hohen Produktionsvolumen, kommt man auf Millionen für das Gesamtprojekt.

Bei der CPU sieht es ähnlich aus, denn die konventionelle Echtzeitbetriebssystemtechnologie erfordert bereits für den Ablauf des Betriebssystems einen großen Anteil an Prozessorzeit und kostet damit wertvolle Taktzyklen.

Die Problematik der Vorhersage des Verhaltens unter Echtzeitbedingungen ist möglicherweise weniger augenfällig als die des bereits angesprochenen Overheads, aber nicht weniger wichtig. In Systemen mit hohen Stückzahlen ist die Nut-

zungszeit einer Software sehr hoch. Ein typisches Motormanagementsystem im Kraftfahrzeug läuft Milliarden von Stunden, und wenn ein Echtzeitbetriebssystem mit unvorhersehbarem Verhalten eingesetzt wird, ist es praktisch unmöglich, alle Zeitfehler in einem Testzyklus von maximal einigen 1000 Stunden zu entdecken. Nur wenn man die Möglichkeit hat, das Worst-Case-Verhalten vorhersagen zu können, lassen sich Zeitfehler identifizieren und lokalisieren, bevor die Produktion beginnt. Unglücklicherweise sind konventionelle Echtzeitbetriebssysteme normalerweise nicht dafür entwickelt, von sich aus verifizierbar zu sein, und damit ist es leider nicht möglich, herauszufinden, wie lange es dauern würde, um alle Tasks in einem eingebetteten System auszuführen.

Die Entwicklungsmannschaft von NRTA hat sich beträchtliche Erfahrungen in der Behandlung der geschilderten Probleme erarbeitet, besonders auf dem Gebiet der Fahrzeugelektronik. Dies führte dazu (oder besser noch »zwang« die Entwickler), ein neues Konzept namens RTOS-On-Chip zu entwickeln, das die spezifischen Anforderungen eingebetteter Ein-Chip-Systeme adressiert. Dieses Konzept stellt alle bekannten Vorteile eines Echtzeitbetriebssystems zur Verfügung wie z.B. die Kontrolle der Komplexität und Reduzierung der Entwicklungskosten, und erfüllt zusätzlich die anspruchsvollen Anforderungen von Ein-Chip-Anwendungen mit hohen Stückzahlen nach minimalen Produktionskosten sowie maximaler Zuverlässigkeit über die gesamte Lebensdauer. Das RTOS-On-Chip-Konzept basiert auf drei wesentlichen Entwicklungszielen:

- Geringe Speicheranforderungen bezogen auf die erforderliche »Transistorzahl«. Ein RTOS-On-Chip weist nicht nur geringe Anforderungen an RAM und ROM auf, sondern bietet auch eine optimale Ausgewogenheit von ROM- und RAM-Bedarf, und damit geringe Transistoranzahl.
- Verbesserte Nutzung der Prozessorzeit. Ein RTOS-On-Chip vergibt die Prozessorzyklen wesentlich effizienter als eine statische »ohne-RTOS«-Lösung und kann damit die gleiche Funktionalität in einen Ein-Chip-Controller mit geringerer Rechenleistung unterbringen.
- Vorhersagbarkeit des Echtzeitverhaltens. Ein RTOS-On-Chip unterstützt die vollständige Verifikation des Echtzeitverhaltens vor dem Systemeinsatz. Erforderlich dafür ist die Integration des vorhersagbaren RTOS-Verhaltens und der offline durchgeführten Scheduling-Analyse.

Das RTOS SSX5 von NRTA ist das erste kommerziell verfügbare RTOS-On-Chip. Ein Blick auf dessen Eigenschaften zeigt, wie es den Anforderungen eines RTOS-On-Chip genügt. Tabelle 1 zeigt die ROM-, RAM- und CPU-Overheads für Implementierungen auf drei verschiedenen Mikrocontrollern.

Das aufgebaute System besteht aus zehn Tasks, von denen sieben periodischer Natur sind (mit jeweiligen Perioden von 10, 10, 20, 20, 40, 80 und 80 ms) und drei sporadischen Tasks (jeder mit einer minimalen Wiederholungsrate von 20 ms). Die Angaben zur CPU-Last entsprechen den Worst-Case-Bedingungen (Scheduling und Task-Switching) in einem Intervall von 80 ms. Die Angaben zum ROM enthalten Daten und Code für das RTOS, für das RAM sind Daten und Stack-Bedarf eingeschlossen. Alle Speicherangaben sind in Byte.

Diese Zahlen werden für viele Anwender konventioneller Echtzeitbetriebssysteme überraschend sein, sind aber korrekt: Das RTOS-On-Chip SSX5 wurde von einem US-Automobilhersteller zusammen mit vielen anderen Echtzeitbetriebssystemen getestet. Dabei stellte es sich heraus, dass es um Größenordnungen kleiner und schneller war als ein konventionelles RTOS. Die-

Statisches Scheduling für harte Echtzeitsysteme

Für Ein-Chip-Systeme ist es besonders wichtig, die harte Echtzeit zu beherrschen. Bisher wurden dafür statische Scheduling-Techniken herangezogen. Bild 1 zeigt ein einfaches Scheduling-System, bei dem die Task-Verteilung vorher genau festgelegt wurde.

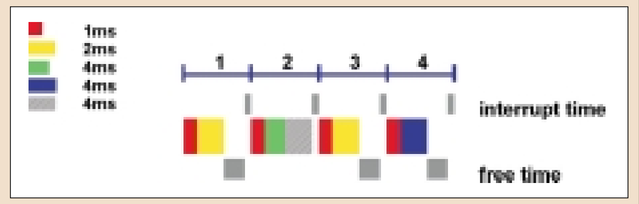


Bild 1. Beispielsystem mit statischem Scheduling

In Bild 1 sind fünf Aktivitäten (Tasks) abzuarbeiten, jede mit einer eigenen Rate von 1, 2, 4, 4 und 4 ms. In diesem System muss jede Task beendet sein, bevor sie wieder ablaufen darf. Das System baut auf einem Scheduling-Prozess von 4 ms auf, der sich aus vier 1-ms-Zeitschlitzen zusammensetzt. Nach Bild 1 erscheint die höchstrangige Task (Periode 1 ms) in jedem Zeitschlitz. Die anderen Tasks erscheinen entweder in zwei Zeitschlitzen für die 2-ms- oder nur einmal für die 4-ms-Rate. Eine zusätzliche Zeitspanne für das Abarbeiten von Interrupts wird hinzugefügt. Berechnet wird dabei die größtmögliche Anzahl von Interrupts von jeder Quelle, die in jedem Intervall von 1 ms auftreten können. Die daraus resultierende Zeitspanne wird dann in allen Zeitschlitzen reserviert. Diese Art des statischen zyklischen Scheduling ergibt eine hervorragende Echtzeit-Vorhersagbarkeit und kommt ohne Echtzeit-Betriebssystem aus. Bild 2 zeigt den Code für die Implementierung des Schedule-Prozesses aus Bild 1.

```
void main(void)
{
        do_init();

        for(;;) {
                busy_wait();
                t1();
                t2();
                busy_wait();
                t1();
                t3();
                t5();
                busy_wait();
                t1();
                t2();
                busy_wait();
                t1();
                t4();
        }
```

Bild 2. Typischer Code zur Implementierung des Schedulings aus Bild 1

se geringen Overheads werden vorwiegend durch ein neues Tasking-Paradigma, der sogenannten »Single-Shot«-Ausführung sowie ausgiebiger Nutzung von speziellen Offline-Werkzeugen für die vorherige Berechnung der Laufzeitdaten erzielt.

Das prioritätsbasierte SSX5-Scheduling reduziert die erforderlichen CPU-Taktzyklen erheblich im Vergleich zum statischen Scheduling. Tasks können damit in einem Takt ablaufen, der von der Anwendung bestimmt wird und nicht von den harmonischen Werten, die der statische Ansatz erfordert. Wie diese Technik die Effizienz des Prozessors verbessert, zeigt Tabelle 2.

Die Spalte »Periode« in Tabelle 2 gibt die von der Anwendung geforderte Abtastrate der einzelnen Tasks an. Ein statischer Scheduling-Mechanismus mit diesen exakten Perioden würde 120 ms, d.h. die kleinste gemeinsame Periode aller vier Tasks, erfordern, was jedoch für die Anwendung zu lang ist. Werden jetzt die Perioden entsprechend der Spalte »Schedule« geändert, ergibt sich eine Schedule-Länge von 20 ms, die sich effizient implementieren lässt. Damit erhöht sich allerdings die CPU-Last von 29,3 Prozent auf 31,9 Prozent, eine Zunahme von 2,6 Prozent. Im nächsten Schritt soll das System so modifiziert werden, dass es zusätzlich imstande ist, ein dringendes sporadisches Ereignis zu verarbeiten. Dieser Event soll maximal alle 100 ms auftreten, erfordert eine Prozessorzeit von 220 µs und muss innerhalb von 1 ms verarbeitet sein. Bei einem statischen Ansatz wird dieses Ereignis am besten als Unterbrechung (Interrupt) ausgeführt, was zur Folge hat, dass 220 µs an Prozessorzeit in jedem Zeitschlitz von 1 ms Länge reserviert werden müssen. Mit dem RTOS-On-Chip wird dieses Ereignis am besten über den Interrupt-Handler ausgeführt, der eine Task zum Ablauf vorbereitet. Dieser zusätzlichen Task 5 wird eine Priorität zugewiesen, die zwischen der von Task 1 und Task 2 liegt. Tabelle 3 zeigt das modifizierte System.

Die statische Scheduling-Technik erzwingt durch die Reservierung der Zeit in jedem Zeitschlitz eine Erhöhung der CPU-Last von 31,5 Prozent auf 53,9 Prozent. Der prioritätenbasierte Scheduling-Ansatz des SSX5 erlaubt es der Anwendung hingegen, mit nur 31,5 Prozent der CPU-Zeit auszukommen. Auch wenn der Overhead des SSX5 selbst zur CPU-Last hinzuaddiert würde, ist das Ergebnis, im Vergleich zur »ohne-RTOS«-Lösung, wesentlich besser. Natürlich besitzt diese CPU-Last-Effizienz keine

Task	Periode	CPU-Zeit	Last1 (%)	Schedule	Last2 (%)
1	1ms	120µs	12,0	1ms	12,0
2	5ms	220µs	4,4	5ms	4,4
3	6ms	455µs	7,6	5ms	9,1
4	24ms	1277µs	5,3	20ms	6,4
5	100ms	220µs	2,2	1ms	22,0
		(Summe 31,5%)			(Summe 53,9%)

Tabelle 3: System wie in Tabelle 2, aber um ein zusätzliches sporadisches Ereignis erweitert

Das Hauptproblem des statischen Ansatzes liegt in der Schwierigkeit, Anwendungscode dafür zu schreiben und zu pflegen. Zum Verständnis dieser Aussage hilft ein Blick auf Bild 1 und die Zuweisung der freien Zeit auf die einzelnen Zeitschlitze. Es zeigt sich, dass es zwar ausreichend viel freie Zeit über das gesamte Scheduling von 4 ms gibt, jedoch nicht genügend freie Zeit in einem einzelnen Zeitschlitz vorhanden ist. Eine Task muss in den freien Zeitabschnitt eines einzigen Schlitzes passen. Läuft die Ausführung einer Task jedoch länger als der freie Zeitraum in einem Zeitschlitz (1 ms) zulässt, so muss der Quellcode dieser Task so restrukturiert werden, dass er in zwei oder mehr Sub-Tasks aufgeteilt werden kann. Diese Sub-Tasks werden dann in den unterschiedlichen Zeitschlitzen aufgerufen, um die verfügbaren freien Zeitspannen nutzen zu können.

Leider ist es meist nicht einfach, ein Stück Applikationscode so aufzuteilen, dass die Ausführungszeit der Teilstücke ausgeglichen ist. In jedem Fall ist bei dieser Lösung zusätzlicher Code für die Sicherung der internen Zustände in globale Variablen am Ende jeder Sub-Task sowie zum Zurückladen dieser Zustände aus diesen globalen Variablen in der nachfolgenden Sub-Task erforderlich. Das verschwendet wertvolles RAM und ROM sowie Prozessorleistung. In einer späteren Entwicklungs- oder Wartungsphase könnte es aufgrund von Programmänderungen erforderlich sein, selbst eine Sub-Task noch in weitere Untereinheiten aufzuteilen und die Prozessorzeit der einzelnen Zeitscheiben neu zuzuweisen.

Bei fortschreitender Entwicklung neigt die anfangs logische Struktur der Anwendung dazu, immer fragmentierter zu werden, was die Wartung des Codes erschwert. Steigende Software-Kosten und zusätzlicher Aufwand für das Management dieser Komplexität sind die Folgen und machen es schwierig, qualitativ hochwertige Software in einem kalkulierbaren Zeitrahmen zu entwickeln und das Produkt zum richtigen Zeitpunkt am Markt einzuführen.

Echtzeit-Scheduling und Single-Shot-Ausführung

In konventionellen RTOS-Designs basiert der Ansatz zu Echtzeit-Tasks auf dem Binden jeder Task an eine nicht-terminierende C-Funktion. Bild 3 zeigt typischen Task-Code für dieses Schema.

```
void task1(void)
{
      for(;;) {
              do_task1_work();
              delay(100);
      }
}
```

Bild 3: Modell einer konventionellen RTOS-Ausführung

In Bild 3 ist eine periodische Task an eine C-Funktion namens task1 () gebunden, in der eine Aufgabe periodisch ausgeführt wird. Man kann sehen, dass die Funktion niemals beendet wird. Stattdessen wird ein »delay«-Aufruf des RTOS dazu genutzt, um die Task für ein bestimmtes Zeitintervall auszusetzen. Diese Task ist dann als »suspended« markiert und das RTOS kann andere Tasks ablaufen lassen. Ist die Verzögerung (Delay) abgelaufen, wird die Task wieder ablauffähig, und das RTOS schaltet auf sie um, sobald sie die momentan höchste Priorität hat. Die Task nimmt die Arbeit erneut auf und erledigt weitere Aufgaben, bis sie schließlich wieder in die Schleife und somit in die Verzögerung geht. Bild 4 zeigt die alternative Ausführung auf der Basis von Single-Shot.

```
void task1(void)
{
      /* do task1 work */
}
```

Bild 4: Modell der Single-Shot-Execution (SSX)

Entsprechend Bild 4 startet die Task am Beginn der Funktion, führt eine Aufgabe aus und kehrt dann zurück. Das RTOS selbst stößt die Task periodisch an. Mit SSX5 kann das Echtzeitverhalten in einer Konfigurationsdatei offline spezifiziert werden, so wie es in Bild 5 angegeben ist.

```
timeline {
      timebase ttime; default readonly;
      periodic f {
              task t1 every 5ms offset 0ms;
              task t2 every 10ms offset 0ms;
              task t3 every 20ms offset 5ms;
      }
}
```

Bild 5: Beispiel für die Definition des Echtzeitverhaltens von drei SSX5-Tasks

Der Ansatz der Single-Shot-Ausführung bringt mehrere Vorteile. Zum einen ist er wesentlich effizienter, da er es dem RTOS erlaubt, das von einer Task benutzte RAM wieder freizugeben, während sie nicht aktiv ist. Das heißt, der RAM-Bedarf ist nicht mehr abhängig von der Anzahl der Tasks, sondern von den zu einer gegebenen Zeit aktiven Tasks (beispielsweise von der Zahl benutzter Prioritätsebenen). Dieser Ansatz passt wesentlich besser zum DMA-Modell, wodurch sich die Messung der Task-Ausführungszeit erheblich vereinfacht. Ein weiterer wichtiger Pluspunkt ist die bessere Strukturierung des Systems, da Funktionalität und Zeitverhalten voneinander getrennt sind. Code wird somit erheblich wartungsfreundlicher und sogenannter »Spaghetti-Code« vermieden, da Informationen über Zeit- und Funktionsverhalten nicht mehr im selben Stück Code gemischt werden. Last but not least kommt die einfachere Unterstützung von bereits vorhandenen Software-Komponenten hinzu. Der neue Code muss keine expliziten RTOS-Aufrufe durchführen, und somit kann existierender Quellcode von einem »Nicht-RTOS« System (und manchmal sogar Binärcode) ohne Änderungen des Modells importiert werden.

sehr große Aussagekraft, solange das Echtzeitverhalten des Systems im Worst-Case-Fall nicht kalkulierbar ist. Es muss daher eine Möglichkeit geben, das System dahingehend zu verifizieren, dass alle Vorgänge in der erforderlichen Zeitspanne abgearbeitet werden. Glücklicherweise gibt es einen neuen Zweig in der Scheduling-Theorie mit der Bezeichnung »Deadline Monotonic Analysis« (DMA), der dieses Problems löst. Diese Analyse berechnet die Worst-Case-Antwortzeiten aller Tasks im System und erlaubt damit die Festlegung des vollständigen Zeitverhaltens. Der Systementwickler kann somit das System bezüglich seiner Leistungsanforderungen verifizieren und es anschließend mit der Gewissheit einsetzen, dass keine Zeitfehler mehr auftreten können.

Die DMA stellt eine Reihe von Anforderungen an das Verhalten eines Echtzeitbetriebssystems. Beispielsweise muss das Verriegeln von Semaphoren (Semaphore Locking) über einen Algorithmus namens »Priority Ceiling Protocol« unterstützt werden. Konventionelle Echtzeitbetriebssysteme können damit nicht umgehen. Sie verwenden entweder ein übliches Verriegeln von Semaphoren oder Algorithmen mit Prioritätsvererbung, die ein nicht festgelegtes Zeitverhalten aufweisen und zu intermittierend auftretenden Ablauffehlern (missed deadlines) führen können.

SSX5 von NRTA wurde von Grund auf neu entwickelt. Es benutzt das »Priority Ceiling Protocol« und entspricht daher allen Anforderungen der DMA-Theorie. Der »Time-Compiler«, eine wichtige Komponente des SSX5-Toolsets, führt die DMA-Berechnungen für das RTOS als Teil des Entwicklungsprozesses aus. Neben der Berechnung von Worst-Case-Antwortzeiten und der Verifizierung des Einhaltens aller Deadlines führt der Time-Compiler auch eine sogenannte »Empfindlichkeitsanalyse« durch, die angibt, wie nahe das System an das Überschreiten eines Zeitlimits »herankommt« beziehungsweise wieviel Reserve noch vorhanden ist.

Es zeigt sich, dass die weit verbreiteten Lösungsansätze für ein »System auf einer Platine« für »Systeme auf einem Chip« in hohen Stückzahlen nicht geeignet sind. Die On-Chip-Ressourcen sind zu begrenzt und die Anforderungen an die Korrektheit zu hoch. Traditionell mussten daher die Entwickler von Ein-Chip-Systemen auf die Vorteile von Echtzeitbetriebssystemen verzichten oder eigene Lösungen finden. Das RTOS-On-Chip-Konzept jedoch gibt dem Entwickler von »tief eingebetteten« Systemen Zugriff auf diese Vorteile. Es führt zu einem stärker strukturierten Design mit geringerem Wartungsaufwand, ohne jedoch den herkömmlichen »Strafen«, wie z.B. höhere Kosten und dem Verlust der Echtzeitvorhersagbarkeit. (pa)

Literatur:

[1] Zusätzliche Informationen über Echtzeit-Vorhersagbarkeit und DMA unter http://www.ssx5.com/dma.

[2] Weitere Details über die USS Yorktown und Windows NT siehe Scientific American Webseite http://www.sciam.com. Mehr über dieses Thema im Comp.Risk-Archiv unter http://catless.ncl.ac.uk/risks.

[3] Mehr über Embedded Windows CE unter http://www.circuitcellar.com und http://microsoft.com/windows/windowsce/.

NRTA
Tel.:
00 44/19 04 43 5129

Designumgebung in ANSI C/C++

Mit Standardklassen-bibliothek entwickeln

Mit den beiden Systemebenen-Design-Tools CSim und System Compiler legt C Level Design die Grundlage für die erste komplette Umgebung der EDA-Industrie für Design, Verifizierung und Implementierung komplexer Systeme in ANSI C/C++. Die beiden Tools erhöhen laut Hersteller die Produktivität von Entwicklern komplexer elektronischer Systeme, indem sie den Pfad von ausführbarem C/C++-Code zu synthetisierbaren HDL-Sprachen automatisieren.

CSim ist ein robustes Design- und Simulations-Tool für die Erfassung und Verifizierung von Systemen, die nativen C/C++-Code ebenso wie C++-Bibliotheken aus der System C++-Klassenbibliothek von C Level Design einsetzen. System Compiler ist die jüngste Version des Synthese-Tools auf Systemebene, das C/C++-Code direkt in HDL-Code kompiliert, der zur Logiksynthese und Implementierung bereit ist. Die Tools arbeiten in einer integrierten Umgebung, mit deren Hilfe Designer unter Verwendung einer Top-down-Synthesemethodik ihre C/C++-Designs schnell in HDL erzeugen, simulieren, entstören, verifizieren und implementieren können.

CSim ist über die letzten zwei Jahre zur High-Level-Modellierung und Verifizierung vieler verschiedener Designs im Einsatz gewesen. Die objektorientierte Umgebung beruht auf ANSI C/C++ und enthält Grundelemente für Hardware-Datentypen und Gleichzeitigkeit, die zum Anschluss von Verhaltensmodulen in ein Systemdesign erforderlich sind. CSim umfasst die Bibliothek der Klasse A, die im Jahre 1998 der »Virtual Socket Interface Alliance« (VSIA) vorgeschlagen worden war und wird den SRM-Standard (Semantic Reference Manual) für C++-Klassenbibliotheken unterstützen, der vom »Architectural Language Committee« der OVI entwickelt wird. C Level Design wird außerdem einen Migrationspfad zum SRM-Standard zur Verfügung stellen, um mit der CSim-Klassenbibliothek entwickelte User-IP zu erhalten. CSim bietet alle Möglichkeiten, die typischerweise in vollständigen HDL-Simulationsumgebungen zu finden sind. Es enthält eine grafische Nutzerschnittstelle, Design-Browser, Wellenformanzeige, Plottereinrichtung sowie Co-Simulationsschnittstellen zur Befehlssatzsimulation (ISS) und zur Spice-Simulation. Der C-Simulator ist darüber hinaus durch einen besonderen Design-»Wizard« gekennzeichnet, der Ingenieure bei der Einrichtung von Modulschnittstellen zwischen hierarchischen und Baumfunktionsblöcken assistiert.

System Compiler ersetzt das bisherige Syntheseproduktangebot durch ein einziges Tool, das algorithmische und zyklusgenaue Synthese vereint und die Ausgabge sowohl in Verilog- als auch in VHDL-Formaten unterstützt. System Compiler enthält zudem neue Merkmale, die IP-Entwicklung und -Wiederverwendung ebenso unterstützen wie flexiblere Codierarten und das Design-Debugging. System Compiler ist eine echte Top-down-Syntheselösung, die die Entscheidung ermöglicht, wie viel Verfeinerung Anwender selbst durchführen möchten und wieviel das Tool automatisch vornehmen soll. Sämtliche anderen Lösungen zwingen die Designer, ihren C/C++-Code manuell bis zu dem Punkt zu verfeinern, bei dem sie nur noch minimale Abstraktions- und Produktivitätsvorteile gegenüber der Designerzeugung gleich von Beginn in VHDL oder Verilog bringen.

Für Designer, die sofortige Rückkopplung zwischen C/C++-Quellcode und der generierten HDL brauchen, unterstützt System Compiler jetzt bidirektionale »Ursache und Wirkung«. Designer können schnell die »Ursache« irgendeiner Zeile generierten HDL-Codes oder die »Wirkung« irgendeiner Zeile C/C++-Quellcode einfach dadurch finden, dass sie auf die in Frage kommende Codezeile klicken, was den Fehlersuchprozess beim Design rationalisiert.

Durch die Entwicklung Bit-genauer Bibliotheken wird auch weiterhin die Unterstützung für native C/C++-Designs ausgebaut; sie ermöglichen die Simulation von nativem Code (.exe), der der Simulation von im System Compiler synthetisiertem HDL-Code entspricht. Die Bibliotheken unterstützen ganze Zahlen mit oder ohne Vorzeichen sowie Fließkomma-/Festkommazahlen und folgen während der gemischten Umwandlung ANSI-C/C++-Regeln. CSim und System Compiler sind sofort für Solaris- und Windows98/NT-Plattformen verfügbar.

Außerdem wurde System C++ vorgestellt, eine neue Klassenbibliothek für Design, Verifikation und Synthese auf Systemebene. System C++ basiert auf den Bestrebungen der Easics NV, die bis ins frühe Jahr 1998 zurückreichen, als sie als erstes Unternehmen der Virtual Socket Interface Alliance (VSIA) eine Klassenbibliothekslösung vorschlug, um die Normierungsbemühungen der Organisation bei Hardware-Datentypen und Gleichzeitigkeit in zu unterstützen. Die System C++-Klassenbibliothek kann von CSim bzw. System Compiler simuliert und synthetisiert werden. Einer der wesentlichsten Vorteile des Klassenbibliothekslösungsansatzes ist die Flexibilität in der Anwendermethodik. Es handelt sich um den einzigen Klassenbibliotheks-Lösungsansatz, der volles ANSI C und C++ auf Modulebene zur Simulation und Synthese unterstützt. Klassenbibliotheken helfen bei der Auseinandersetzung mit Hardware-Problemen wie Hierarchie und Gleichzeitigkeit, können jedoch Flexibilität, Leistung und Abstraktion beeinträchtigen, wenn sie zum Beschreiben einer Logik in einem Modul Verwendung finden. Sämtliche anderen vorgeschlagenen C/C++-Designmethodiken, die Klassenbibliotheken verwenden, haben zur Unterstützung der Synthese ihren Einsatz in den Blattmodulen erforderlich gemacht. Die Fähigkeit, volles ANSI C/C++ zu verifizieren und zu synthetisieren, ist entscheidend bei der Unterstützung von Abstraktion, Simulationsleistung und Interoperabilität, die Gründe, C/C++ einzusetzen. (pa)

C-Level-Design
Tel.: 001/40 83 69 77 80

Schnelles Prototyping von SoC-Designs

Das blockbasierte Prototyping-Konzept

Völlig neue Wege beim Prototyping von komplexen SoC-Designs geht Aptix mit seinem Block-based-Prototyping-Konzept. Dieser Ansatz stellt Entwicklern einen Mechanismus zum Abbilden und Verifizieren von individuellen Designblöcken inkrementell und parallel zum Entwurfsprozess zur Verfügung und verkürzt gegenüber herkömmlichen Prototyping-Konzepten die zur Erstellung von Prototypen benötigte Zeit.

Die Verifikation von Logikschaltungen mit herkömmlichen Tools und Verifikationstechniken beansprucht aufgrund der ständig steigenden Designkomplexitäten immer mehr Zeit und führt oft zu Engpässen im Entwurfszyklus. Weiter verschärft wird diese Problematik durch den Übergang vieler Hersteller zu System-on-Chip-ASICs (SoC).

Den Fortschritten in der Halbleitertechnik ist es zu verdanken, dass die Branche heute an einem Punkt angekommen, bei dem sich digitale Logikfunktionen, Speicher und Mixed-Signal-Funktionen auf einem gemeinsamen Chip integrieren lassen. Systeme, die bisher mit mehreren Chips realisiert werden mussten, können inzwischen als Single-Chip-Lösung realisiert werden. Die Verifikation dieser komplexen SoC-ASICs bereitet jedoch oft Schwierigkeiten. Der Entwicklungszyklus für ein Produkt lässt sich in die Bereiche Design, Analyse, Test unter realen Bedingungen und Produktion aufteilen.

Die zur Verifikation eingesetzten Tools wurden bisher parallel zum Designprozess entwickelt. Im Zuge der ständig steigenden Komplexität arbeiten die bisher genutzten Simulatoren häufig zu langsam; dies gilt speziell für die Verifikation von sehr komplexen Designs auf Gate-Level. Aus diesem Grund arbeiten viele Logiksimulatoren und Design-Tools inzwischen oft auf abstrakteren Ebenen. Doch selbst Hardware-Beschleuniger wie sie Mitte der 80er Jahre entwickelt wurden, sind häufig zu langsam und verlangen für eine Verifikation zusätzlich den Einsatz von manuell entwickelten Testprogrammen.

Da die Entwicklung von Design- und Testspezifikationen nie perfekt oder vollständig sein kann, müssen Designs unbedingt unter realen Bedingungen bzw. auf Systemebene verifiziert werden, um deren einwandfreie Funktion nachweisen zu können.

Die Emulation von ASICs hat sich seit dem Ende der 80er Jahre als Technologie entwickelt, die zur Nachbildung von Logikdesigns und zur Verifikation unter realen Bedingungen auf Hardware zurückgreift. Unternehmen, die auf die Emulation von ASICs spezialisiert sind, integrieren zu diesem Zweck eine große Anzahl an FPGAs in feste Arrays. Bis zur Fertigstellung solcher Systeme vergeht meist viel Zeit. Dies bedeutet, dass die beim Beginn der Systementwicklung verwendeten FPGAs beim Abschluss der Entwicklung oft schon wieder veraltet sind.

Als Alternative zu der bisherigen Vorgehensweise hat Aptix Mitte der 90er Jahre sein Konzept des »Rekonfigurierbaren Prototyping« vorgestellt. Mit diesem einfach handhabbaren Konzept können die Kosten- und Leistungseinschränkungen der ASIC-Emulation überwunden und die Anforderungen von System-on-Chip-Designs erfüllt werden.

Den Fortschritten der Halbleitertechnologie ist es zu verdanken, dass Entwickler von Elektronik-Systemen heute die Funktionen, die in der Vergangenheit nur mit mehreren ICs realisierbar war, in ein einziges ASIC integrieren können.

Bild 1: Entwicklungszyklus für ein komplexes Embedded-System

Diese System-on-Chip-Technologie ist die Grundlage zur Verschmelzung von Consumer-, Kommunikations- und Computerapplikationen und bringt eine völlig neue Klasse an Produkten hervor.

SoC-Designs setzen jedoch neue Maßstäbe hinsichtlich der Integration und dem Test der Entwürfe vor der eigentlichen Fertigung und stellen damit neue Herausforderungen für die Ingenieure dar. Normalerweise beinhalten SoC-Designs Mikroprozessoren, Mikrocontroller oder DSP-Funktionen, auf denen Software mit beachtlichem Umfang läuft. Die Funktionsblöcke (Building Blocks) oder die Intellectual Property (IP) für SoC-Designs werden von unabhängigen Third-Parties (Fabless- und Chipless-Halbleiterhersteller), ASIC-Unternehmen, EDA-Anbietern und hausinternen Designteams entwickelt; auf diese Art wird ein Höchstmaß an Wiederverwendbarkeit eines Designs erzielt.

Die Entwicklung von Elektroniksystemen erfolgt in mehreren Stufen und erstreckt sich vom Design von High-Level-Algorithmen über die Einteilung des Designs in Blöcke bis hin zur Umsetzung von Funktionsblöcken in Hard- und Software-Elemente. Jedes Block-Level-Element muss auf seiner detailliertesten Ebene entwickelt und verifiziert werden. Um die einwandfreie Funktion des Systems sicherzustellen, muss das gesamte System unter realen Bedingungen getestet werden.

Designs werden meist aus Logikblöcken mit einer Komplexität von unter 25.000 Logikgattern zusammengesetzt, da sich größere Designelemente nicht mehr effizient verwalten und bearbeiten lassen. Diese Einschränkung ergibt sich aus

der Kapazität von Ingenieuren, Designelemente effizient verwalten und bearbeiten zu können sowie aus praktischen Einschränkungen der Logiksynthese-Tools, die zur Herstellung von optimierten, detaillierten Designs aus den Designbeschreibungen verwendet werden.

Die neuesten Produkte zur ASIC-Emulation wurden Mitte 1999 vorgestellt und beinhalten FPGAs, in die lediglich etwa ein Viertel eines typischen Designblocks implementiert werden kann. Die Folge davon ist, dass jeder Block auf mehrere FPGAs aufgeteilt werden muss. Die daraus entstehenden Nachteile der heute verfügbaren ASIC-Emulationssysteme sind deren hohe Kosten sowie deren niedrige Frequenz. Beim Einsatz eines Systems mit den stets aktuellsten und größten FPGAs kann nicht nur die Frequenz des ASIC-Emulationssystems deutlich gesteigert, sondern auch die gesamte Verifikationszeit verkürzt werden.

Seit 1998 ist die Größe der FPGAs, die zum Prototyping der kundenspezifischen Logikfunktionen in einem ASIC-Design verwendet werden, über die Größe der individuellen Blöcke eines Designs hinausgewachsen. Diese Verschiebung der Technologie bei den Building-Blocks von Prototyping-Systemen hat eine neue »Block-based Prototyping«-Methodik ermöglicht, die eng mit dem natürlichen Produktentwicklungsprozess gekoppelt ist. Die Bedeutung sowie die Eigenschaften des Block-based-Prototyping-Verfahrens lassen sich wie folgt beschreiben:

- Intuitive Anlehnung an den von den meisten Designteams verfolgten Designprozessen.
- Bereitstellung eines Mechanismus zum Mapping und zur Verifikation von Designblöcken für ein Prototyping; diese erfolgt inkrementell und parallel zum Designprozess.
- Vereinfachung des Verifikationsprozesses durch Verhinderung von zeitraubenden Partitionierungsprozessen durch ASIC-Emulatoren; Designs werden entsprechend der natürlichen Block-based-Hierarchie aufgespaltet. Debugging und Designiterationen werden damit wesentlich erleichtert.
- ReUse von IP für System-on-a-Chip ASICs wird ermöglicht.
- Eine Block-based-Prototyping-Methodik bietet die folgenden Vorteile: (a) verkürzte Time-to-Market, (b) Realisierung von wirtschaftlichen Lösungen, (c) Test unter realen Bedingungen und (d) verbesserte Qualität der Produkte.

Beim Einsatz der Block-based-Prototyping-Methodik verkürzt sich die Vorbereitungszeit für ein Design, und reale Tests können bereits einige Tage nach Abschluss des Designs erfolgen. Aufgrund der Wiederprogrammierbarkeit der Hardware können Designiterationen sehr schnell erfolgen. Da alle Blöcke eines Designs in der zu dessen Realisierung verwendeten Umgebung erstellt und veri-

fiziert werden, kann der Entwurf direkt in die Module abgebildet werden, die den Designblock im späteren Systemprototyp repräsentieren. Der Block wird im Anschluss daran mit Hilfe des geeigneten Testprogramms verifiziert; nach der Verifikation kann der jeweilige Block im gesamten Systemprototyp eingesetzt oder für den Einsatz in kommenden Projekten archiviert werden. Das rekonfigurierbare System-Prototyping bietet Vorteile beim realen Test während des gesamten Designprozesses:

- Test der Algorithmen: Neue Algorithmen können beim Einsatz der Prototyping-Umgebung von Aptix schnell in Hardware implementiert und unter realen Systemumgebungen getestet werden.
- Systemintegration: System-Hard- und Software werden zu einem frühen Zeitpunkt des Designprozesses integriert; häufig noch bevor das gesamte Design abgeschlossen ist. Ohne System-Prototyping kann das Software-Debugging nicht beginnen, bevor alle Hardware-Komponenten gebaut und getestet sind.
- Test der Applikation: Das gesamte System wird in seiner normalen Umgebung betrieben; dabei werden seine natürlichen Datentypen importiert und produziert.

Diese inkrementale Vorgehensweise zur Erstellung von Prototypen verkürzt die Zeit bis zum In-Circuit-Test des gesamten Prototyps auf die wenigen Tage, die zur Verifikation des Mapping des letzten Blocks erforderlich sind. Dies steht im Gegensatz zu den vielen Wochen bis Monaten, die normalerweise bis zur ASIC-Emulation vergehen können. Denn bei der herkömmlichen Emulation muss zunächst das gesamte Design abgeschlossen sein, bevor die Schaltung mit Block-Flattening-Partitionierungstechniken in den Prototypen abgebildet werden kann.

Offene Produktarchitekturen sind erforderlich, damit Entwickler mit Hilfe der größten und schnellsten FPGAs, IP-Blöcke und Off-the-Shelf Systemkomponenten einen Prototyp ihres Designs anfertigen können. Auf diese Weise reduziert sich die Anzahl der zur Implementierung der kundenspezifischen Logik benötigten FPGAs; als Folge davon wird die Komplexität des Systemprototyps minimiert. Gleichzeitig reduzieren sich Platzbedarf und Kosten zum Aufbau des Prototyping-Systems.

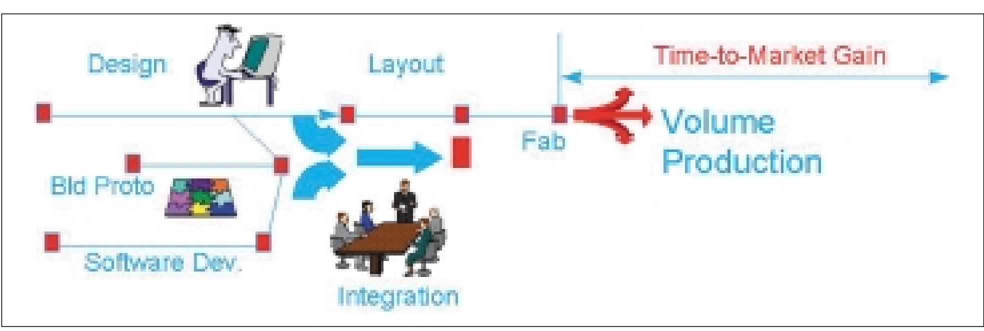


Bild 3: Design-Flow mit integriertem Prototyping

Offene Architekturen, bei deren Einsatz Entwickler mit geringeren Prototyping-Ressourcen auskommen, erzielen die höchsten Verifikationsgeschwindigkeiten und verkürzen damit die Zeit bis zum Produktionsbeginn des Systems. Betriebsfrequenzen im Bereich 20 bis 35 MHz sind erzielbar, falls die Prototypen auf einem oder einer geringen Anzahl an Boards untergebracht werden können. Noch höhere Prototyping-Geschwindigkeiten sind beim Einsatz der stets neuesten IC-Technologien bzw. FPGAs und Systemkomponenten erzielbar. Der Vorteil dabei ist, dass der Prototyp bei vielen Applikationen in Echtzeit arbeiten kann. So können zum Beispiel bei Mobilfunk- oder schnurlosen Telefonapplikationen reale Telefonate mit dem Prototyp des Systems geführt werden. Beim Prototyping von industriellen Steuerungen können diese ebenfalls unter realen Bedingungen betrieben werden. Beim Prototyping von Applikationen, bei denen die Prototypgeschwindigkeit unter der tatsächlichen Geschwindigkeit des späteren Systems liegt, vereinfacht sich gegenüber langsameren ASIC-Emulationssystemen das Buffering von Input- und Output-Daten.

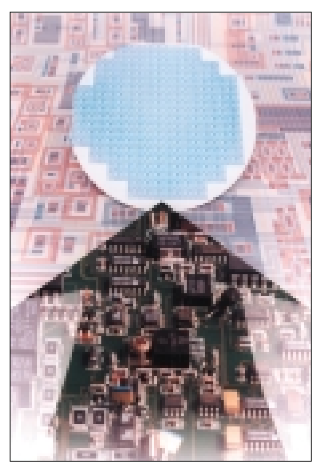
System-Prototyping-Plattformen spalten die verschiedenen Designkomponenten in physikalische Hardware-Blöcke auf und erlauben Einblicke in das Verhalten der Schaltung an den Pins (Visibility) sowie innerhalb der in FPGAs implementierten kundenspezifischen Logik. Durch die Verschmelzung der Design-Visibility sowie der Reprogrammierbarkeit des Prototyps werden Debugging, Modifikation und Tests der Hard- und Software vor der Produktion der ersten Komponenten ermöglicht.

Die Welt des Systemdesigns bewegt sich immer schneller in Richtung System-on-Chips. Bei der Entwicklung von SoC-ASICs spielt der Test des Systems vor dem Tape-Out eine besondere wichtige Rolle. Rekonfigurierbares System-Prototyping auf der Grundlage einer Block-based-Methodik kann parallel zum Designprozess erfolgen und bietet neben einer hohen Flexibilität auch die Möglichkeit, Kosten einzusparen. Aufgrund dieser Tatsache erhält der Einsatz des SoC-Konzepts weiteren Auftrieb. (pa)

Bild 2: Herkömmlicher Design-Flow

Aptix
Tel.: 089/4510 4811

ASICs für Sensorik und Messtechnik



Speziell für intelligente Sensoren bietet Prema ASICs an. Grundlage für die effektive und kostengünstige Produktion dieser ICs ist der ModuS-U6-Prozess. Er ermöglicht die Herstellung von Bauelementen mit sehr guten Rauscheigenschaften bei niedriger Leistungsaufnahme und ist damit für Anwendungen in der Sensorik geeignet. Die moderne Prozesstechnik erlaubt sehr kurze Technologiedurchgänge, Prototypen können nach Übergabe des Datenbestands an die Fertigung innerhalb von fünf Tagen in Keramikgehäusen ausgeliefert werden. Bei den anwendungsspezifischen ICs werden auf der messtechnischen Seite Techniken und Erfahrungen genutzt, die in den Prema-Präzisionsmessgeräten eingesetzt werden. Mit der verwendeten Brückenmesstechnik können Anwendungen wie Kraft-, Temperatur- und Druckmessung abgedeckt werden. Außerdem besteht die Möglichkeit, optische Sensoren zu integrieren. Die konsequente Weiterentwicklung des Know-hows auf dem Gebiet der Präzisionsmesstechnik in Verbindung mit den Möglichkeiten einer hochmodernen Halbleiterfabrikation schafft z.B. die Voraussetzung für die Integration von hochauflösenden Wandlern. (pa)

Prema
Tel.: 0 61 31/5 06 20

FPGA-Cores für Netzwerk- und Kommunikationsanwendungen

Xilinx und CSELT S.p.A. mit Sitz in Turin, Italien, präsentieren acht neue AllianceCORE-Produkte für den Einsatz in den Virtex-FPGAs. Die neuen Cores stammen aus der Entwicklung von CSELT und sind auf eine Vielzahl von ATM- und Telekommunikationsapplikationen zugeschnitten. Für den Vertrieb und den Support der Cores ist CSELT zuständig. CSELT, die Forschungsabteilung der Telecom Italia Gruppe, ist ein Mitglied des Xilinx-AllianceCORE-Programms, in dem sich die Third-Party-IP-Entwickler zusammengeschlossen haben. Die Virtex-Architektur eignet sich für den Aufbau von High-Performance-Kommunikationsanwendungen. Die Cores von CSELT sind in einer Vielzahl von Networking-, Internet- und Kommunikationsapplikationen einsetzbar. Dazu gehören: Die UTOPIA-Level-2-Transmitter- und -Receiver-Cores für ATM-Physical-Layer-Devices, Switches und Router, zum Beispiel zur Adaptierung von internen Protokollen wie das RACE Physical Protocol, Pb, das von vielen europäischen Systemherstellern verwendet wird, bis hin zum UTOPIA-Standard. (RACE ist ein europäisches Programm zur Entwicklung von modernen Kommunikationstechnologien). Distributed-Scrambler- und -Descrambler-Cores, die kompatibel zum ITU-T-I.432-Standard sind. Diese Cores sind für den Einsatz in Routern, Switches und Adapterkarten für ATM-Cell-Based-Daten-Übertragungsstrecken geeignet. Convolutional-Encoder und Viterbi-Decoder für Systeme wie Wireless-LANs und digitale Mobiltelefone sowie Applikationen aus den Bereichen Target-Tracking und Mustererkennung. Der Channel-Core, ein Test- und Entwicklungsmodul, welches das in Kommunikationssystemen typische Rauschen generiert. Dieser Core ist ideal für den Einsatz in FPGAs geeignet, denn er kann während der Hardware-Entwicklung integriert und vor der Produktion des Systems wieder entfernt werden. Der Arbiter-Core kann in Systemen mit mehreren Einheiten verwendet werden, die auf gemeinsame Ressourcen wie z.B. einen Bus zurückgreifen; in diesem Fall übernimmt der Core-Arbitration und Priority-Assignment. (pa)

Xilinx
Tel.: 089/93 08 80

Echtzeitbetriebssystem auf dem Chip



NRTA gibt bekannt, dass das Echtzeitbetriebssystem SSX5 (»RTOS-on-Chip«) ab sofort auch den RISC-Core ARM7TDMI unterstützt. SSX5 ist das erste Echtzeitbetriebssystem, das speziell auf die Anforderungen von Single-Chip-Architekturen in tief eingebetteten Anwendungen zugeschnitten ist. Diese Applikationen verfügen meist nur über einen sehr begrenzten Speicherplatz, deshalb wurde dieses RTOS gezielt so entwickelt, dass es auch in den kleinstmöglichen Speicher passt, typischerweise benötigt es etwa 1 KByte ROM und 100 Byte RAM. Der extrem effiziente Echtzeitscheduler stellt sicher, dass der Programmcode maximiert werden kann und dennoch nur sehr wenig des kostbaren RAMs zusätzlich benötigt wird.

Da Singlechip-Designs auch häufig sehr engen Strom- und Kostenanforderungen genügen müssen, nutzt das RTOS-on-Chip die vorhandenen Prozessorzyklen auf besonders effiziente Weise. Es arbeitet sehr eng mit dem Timing-Analyzer von NRTA zusammen und erzeugt einen Echtzeitcode, der nicht nur die Performance berechenbar macht, sondern auch eine Verifizierung des Programmcodes ermöglicht. Auf diese Weise werden Software-Fehler in diesen tief eingebetteten Systemen vermieden. Das RTOS ist hundertprozentig kompatibel mit der ARM-Developer-Suite (ADS), der neuesten Entwicklungsumgebung von ARM. ADS besteht aus einer integrierten Entwicklungsumgebung für Windows (IDE), einem weiterentwickelten Debugger mit GUI, den Tools für die Codegenerierung, einem Simulator und ROM-basierten Debug-Tools. (pa)

NRTA
Tel.:
00 44/19 04 43 5129

Erweitertes 32-Bit-SPARC-Licensing-Programm

Sun Microsystems, Microelectronics, bietet Entwicklern die Möglichkeit, das Design seines 32-Bit-micro-SPARC-Prozessors aus dem Internet herunterzuladen und baut damit sein Community-Source-Licensing-Modell (CSL) weiter aus. Seit der Einführung des CSL-Programms verzeichnet Sun inzwischen 1300 Downloads und Lizenznehmer für seinen picojava-Core; jetzt nutzt auch der micro SPARC IIep als erster RISC-Prozessor das Internet zur Distribution. Mit der Freigabe seines rnicro-SPARC-Prozessor-Designs erleichtert Sun Entwicklern die Realisierung von Embedded-System-on-Chip-Applikationen. Durch den unmittelbaren Zugriff auf die bewährte SPARC-Prozessor-Technologie verschafft man interessierten Entwicklern signifikante Time-to-Market-Vorteile. Designer können auf diese Art besonders einfach bestehende micro-SPARC-Designs nutzen und sich damit auf die Integration sowie auf die Anforderungen in ihrer Anwendung konzentrieren. Darüber hinaus können sie wertvolle Zeit, die bisher zur Evaluierung und für Lizenzverhandlungen aufgebracht werden musste, einsparen und sofort mit der Produktentwicklung beginnen.

Das komplette Design seines des 32-Bit-microSPARC IIep enthält FPU, Integer-Unit, MMU, Cache, Memory-Controller und PCI-Interface. Über die Sun-CSL-Website können Entwickler sehr schnell die Technologie lizenzieren und im Anschluss daran die RTL-Implementierung (Register Transfer Level) des microSPARC IIep herunterladen; während der Evaluierungsphase fallen dabei keine Kosten an. Nach dem Download erhalten Entwickler den Verilog-RTL-Source-Code, ein Manual zur SPARC-V8-Architektur, einen SPARC-Instruction-Simulator, eine Verification-Test-Suite, das micro-SPARC-IIep-Benutzerhandbuch sowie einen Validation-Katalog und eine Megacell-Referenz. (pa)

Sun Microelectronics
Tel.: 089/46 00 80

Kostengünstiger EPROM-Emulator für den Software-Test



Es gibt mehrere Möglichkeiten, Software für einen Mikrocontroller zu testen. Eine davon ist die Verwendung eines Entwicklungssystems, das den Download der assemblierten Daten über die serielle Schnittstelle des Zielsystems mittels eines Monitorprogramms ermöglicht. Diese Art der Software-Entwicklung ist aber leider sehr realitätsfremd, da die serielle Schnittstelle des Zielsystems nicht mehr frei verfügbar ist. Außerdem gehen auf diese Weise einige Interrupts und etliche Bytes an Daten- und Programmspeicher verloren. Auch muss die Hardware des Zielsystems besondere Anforderungen erfüllen (serielle Schnittstelle, Daten-RAM muss als Programmspeicher nutzbar sein etc.) um diese Art der Programmübertragung nutzen zu können. Bei der Entwicklung der Software müssen diese veränderten Bedingungen berücksichtigt werden. Am Ende der Entwicklung muss dann das fertige Programm in ein EPROM übertragen werden, um sofort nach dem Einschalten zur Ausführung bereitzustehen. Nach der Umsetzung des vorher laufenden Programms in ein EPROM kann es aber passieren, dass, bedingt durch Seiteneffekte, dieses Programm nicht mehr läuft. Dies ist Grund genug, sich nach einer anderen Möglichkeit der Programmübertragung umzusehen.

Eine kostengünstige Alternative ist die Möglichkeit des EPROM-Emulators. Der EPROM-Emulator (Baureihe EPEM-512) von Bamberg & Monsees wird anstelle des EPROMs in das Zielsystem eingesetzt und übernimmt dort dessen Funktion. Wurde mit Hilfe eines Compilers oder Crossassemblers das Programm erstellt und für fertig erklärt, kann einfach derselbe Code anstatt in den Emulator in das EPROM geschrieben werden. Nach dem Ersetzen des Emulators durch das EPROM verhält sich das Zielsystem jetzt mit Sicherheit genauso wie während der Programmerstellung. Das Herzstück des Emulators ist ein RAM mit 64 KByte. Dieses RAM wird vom PC aus über die parallele Schnittstelle LPT 1 oder LPT2 mit den Programmdaten geladen. Der Ladevorgang ist bei diesem EPROM-Emulator in wenigen Zehntelsekunden abgeschlossen. Während dieser Zeit wird ein Reset-Signal erzeugt, sodass der Mikrocontroller der Schaltung in Wartestellung bleibt. Nach dem Laden des Programms in den EPROM-Emulator wird der Reset automatisch freigegeben, und der Mikrocontroller startet mit dem Programm im RAM des Emulators. (pa)

Bamberg & Monsees
Tel.: 04 21/64 67 75

Embedded-Systems-Anwendungen auf der Basis von Windows



Applied Microsystems kündigte das Test- und Analyse-Tool COdeTEST-HW-ln-Circuit für das Betriebssystem Windows CE an. CodeTEST vermittelt dem Entwickler von auf Windows CE basierenden Applikationen Einblicke in die Interaktionen zwischen Applikationen, Betriebssystem und Treibern. AMC ist nach eigener Einschätzung der einzige Anbieter von Windows-CE-Tools, der ein derartiges Maß an »Run-Time-Visibility« in der Multi-Threaded-Betriebsumgebung von Windows CE bieten kann. Mit Hilfe von CodeTEST kann der Entwickler von Embedded-Systems-Anwendungen die Funktionalität der Anwendungs-Software schneller verifizieren als mit traditionellen Software-Trace- und Debug-Werkzeugen. Außerdem kann er die Echtzeit-Performance messen. Im Gegensatz zu reinen Software-Tools und konventionellen Debug- und Bus-Trace-Werkzeugen arbeiten die zu CodeTEST HW-In-Circuit gehörenden Werkzeuge mit externer Probe-Hardware zur Datenerfassung sowie mit externen Kommunikationssystemen. Dies ermöglicht präzise Messmethoden mit einem Minimum an Eingriffen in das System.

Als neueste Ergänzung zu den Software-Visibility-Tools der Code OPTlX-Familie besteht CodeTEST für Windows CE aus Trace-, Coverage- und Performance-Software-Modulen für CEPC, 486 und PPC. Darüber hinaus unterstützt es auch SH-3-basierte Prozessoren wie den 7708 und 7709.

Ergänzend zu CodeTEST bietet AMC auch die »Foundation-CE Embedded Develop-

ment Suite« an, die aus folgenden Komponenten besteht: System-Development-Kits als umgehend einsatzbereite Entwicklungsplattformen auf der Basis von Windows CE für 486, SH3, PPC und SA1100, Target-Porting-Kits mit Quellcode zur Unterstützung der Boards sowie mit Schaltplänen der Hardware, Microsoft-Windows-CE-Platform-Builder und Beratungs- und Support-Service. Foundation-CE-Plattformen unterstützen die existierenden Embedded-Tool-Technologien von AMC. (pa)

Applied Microsystems
Tel.: 089/4 27 40 30

Ball-Grid-Array-Prototyping-Adapter

Emulation Technology (E.T.), Hersteller von Adaptern, Abgreifklemmen und Testzubehör für Entwicklung und Test digitaler Schaltungen stellt einen 1,00-mm-Ball-Grid-Array-Prototyping-Adapter vor. Er erlaubt den Entwicklern, in ihre Prototypen-Breadbord-Schaltungen auf einfache Weise 1,00-mm-Raster-BGAs einzufügen. Genau wie die Industrie ständig den Übergang zu schnelleren, kleineren BGAs in neuer Konstruktion ausweitet, so liefert Emulation Technology laufend neue und verbesserte Lösungen für das Debuggen und den Test. Einige bestehende Prototyping-Lösungen erfordern das Verlöten des Chips mit dem Adapter. Dieser Vorgang kann sehr teuer sein. Andere Produkte hingegen haben massive Ausmaße und belegen beachtlich viel Platz auf der Leiterplatte. Solche Systeme können wegen der induktiven Belastung nicht mit voller Geschwindigkeit betrieben werden. Der 1,00-mm-BGA-Prototyping-Adapter verwendet einen ZIF-Sockel, der den Test vieler verschiedener Chips mit bis zu 10.000 Einsetzvorgängen erlaubt. Zum Test stecken Entwickler den Adapter einfach auf das Prototyping-Board mit einem 0,10-Zoll-Mittelraster, stecken das IC in den Sockel – und schon ist der Prototyp betriebsbereit. (pa)

Emulation Technology
Tel.: 001/40 89 82 06 60

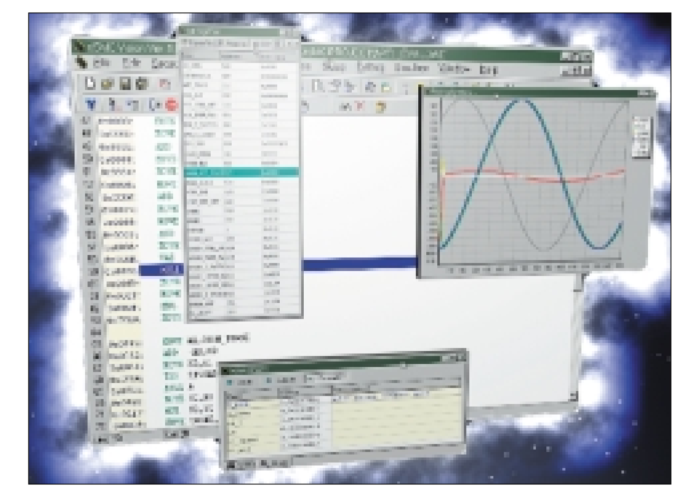
Chip-scale-artiges IC-Gehäuse

Ein neues IC-Gehäuse MicroLeadframe (MLF) von Amkor Technology, Hersteller von Gehäusen und Prüfleistungen, mit um die Hälfte reduzierter Fläche Herstellungskosten im Vergleich zu traditionellen, flächenmontierten Gehäusen, wurde jetzt vorgestellt. Es eignet sich für ICs mit 48 Anschlüssen oder weniger, wo Gehäuse auf Leadframe-Basis wirtschaftlicher herzustellen sind als Area-Array-Gehäuse wie z.B. Ball-Grid-Arrays (BGAs). Das Besondere an den MLF-Gehäusen ist jedoch, dass, anders als bei traditionellen Leadframe-Gehäusen, die Anschlüsse auf der Ebene des Gehäusebodens liegen. TSSOPs mit 48 Anschlüssen haben eine Fläche von 101 mm², ein MLF mit 52 Anschlüssen dagegen belegt nur 64 mm². Bei kleineren Gehäusen benötigt ein 24-Anschlüsse-TSSOP 50 mm² an Leiterplattenfläche für die Montage, ein 24-Anschlüsse-MLF dagegen nur 16 mm². Bei zehn Anschlüssen braucht ein TSSOP 15 mm², das MLF nur 9 mm².

Das MLF-Design ermöglicht die ungeschützte Anordnung des metallenen Die-Attach-Paddles des Leadframes am Gehäuseboden. Das wiederum ermöglicht es den Konstrukteuren durch Einsatz von Down-Bonds oder leitendem Die-Attach-Material stabile Massewerte mit niedriger Impedanz zu erreichen. Bei einem 44-Anschlüsse-MLF weist der längste Anschluss eine Eigeninduktivität von 1,135 nH, eine Volumenkapazität von 0,280 pF und einen Eigenwiderstand von 64,41 mOhm auf. Bei einem TSSOP mit 56 Anschlüssen sind diese Werte 5,21 nH, 0,688 pF und 99 mOhm. Die geringeren Störwerte der MLFs unterstützen noch deren Eignung für digitale und analoge HF-Signale. Bei direktem Auflöten auf die Systemplatte besitzt das Paddle einen wirkungsvollen Wärmeableitpfad. (pa)

Amkor
Tel.: 001/48 08 2124 08

Komplexe Entwicklungsumgebung für den dSMC



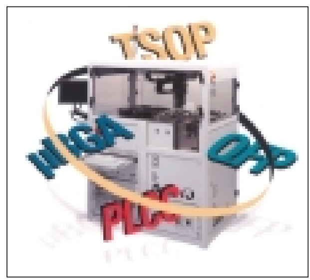
Sican hat die Produktpalette für den dSMC-Chip 101 mit dem dSMC-Vision erweitert. In dSMC-Vision werden in einem einzigen Windows-Tool eine Entwicklungsumgebung, Assembler und Debugger mit Chipsimulator zusammengeführt, um die Erstellung komplexer Regelungsalgorithmen für den dSMC-Chip 101 zu ermöglichen. Die Umgebung unterstützt den Anwender in jeder Phase der Entwicklung. Das beginnt mit der Software-Entwicklung, dem Modellentwurf bis hin zur Simulation und Verifikation der zu implementierenden Regelung. Hierbei wird das Debugging durch eine fortschrittliche Verifikationsumgebung mit zahlreichen Monitoringwerkzeugen unterstützt, um eine einfache Lokalisierung von Source-Code-Problemen zu ermöglichen.

In dieser Entwicklungsumgebung ist erstmals eine offene Modellschnittstelle OSMI (Open-Simulation-Model-Interface) implementiert. Mittels dieser Schnittstelle können Modelle des zu regelnden Zielsystems durch eine in der Hochsprache C geschriebene DLL (Dynamic Link Library) eingebunden werden. Das Modell kann durch einen mitgelieferten GNU-C-Compiler kompiliert und zum Regelungsprojekt hinzu geladen werden. Hierdurch kann eine höhere Auslegungssicherheit des Regelungsentwurfs in der Evaluationsphase erreicht werden.

Um die Synthese der Reglerauslegung zu vereinfachen, wurde auf die grafische Signalaufzeichnung aller zu überwachenden Symbole, auf Ein-/Ausgänge und Parameter des Modells in der Entwicklungsumgebung großer Wert gelegt. (pa)

Sican GmbH
Tel.: 05 31/3 80 73 70

Hochleistungs-Programmierautomat



Die ständige Weiterentwicklung in der Elektronikindustrie der letzten Jahre hat auch keinen Halt vor den programmierbaren Bauelementen gemacht: Vielfalt und Komplexität sind hier die Schlagworte. Zur Zeit unterstützen Programmiergeräte von Data I/O allein über 25.000 verschiedene programmierbare Bauelemente mit über 7000 unterschiedlichen Programmieralgorithmen. Gleichzeitig haben sich neben den traditionellen DIP- und PLCC-Gehäuseformen neue Fine-Pitch-Gehäuse etabliert. Mit der Vorstellung des PP 100 kommt man auch den höchsten Anforderungen hinsichtlich Verarbeitungsgeschwindigkeit, Flexibilität, Zuverlässigkeit und Prozesssicherheit nach. Zwei Trends bei den programmierbaren Bauelementen erschweren den Einsatz herkömmlicher Programmiergeräte: Einerseits führen die höheren Bauelementekomplexitäten bei Speicherbausteinen in Flash-Technologie unausweichlich zu längeren Programmierzeiten. Der zweite Trend ist aber noch gravierender. Aufgrund der höheren Komplexitäten werden bei den Bauelementen immer mehr Anschlusspins eingesetzt. Die hohe Pinanzahl bei gleichzeitiger Miniaturisierung diktiert den Einsatz neuer Fine-Pitch-Gehäuseformen. Diese Entwicklung verlangt nach einer ganz neuen Generation von Programmiergeräten. Das Programmiergerät muss sowohl in der Lage sein, mehrere Bauelemente parallel zu programmieren, um dadurch den nötigen Durchsatz zu bewältigen als auch die Bauelemente automatisch zu handhaben, damit die feinen Anschlusspins nicht beschädigt werden.

Der PP 100 vereint die modernste Programmiertechnologie mit einer hochpräzisen Gantry-Pick&Place-Einrichtung sowie einem flexiblen Bauelemente-Markierungssystem (Laserbeschriftung oder Etikettierung nach Wahl) in einem System. Mit diesem Programmierautomat lassen sich bis zu 700 Bauelemente pro Stunde programmieren, beschriften sowie nach Wunsch ablegen und sortieren.

Der Baustein-Support umfasst sämtliche Bausteintechnologien und Gehäuseformen (DIP, PLCC, SOIC, QFP, TSOP, BGA, µBGA und andere Chip-Scale-Gehäuse). Das System ist modular aufgebaut und kann mit bis zu zwölf universellen schnellen Programmierstationen ausgerüstet werden, die jeweils über 84 Pintreiber verfügen und unabhängig voneinander (Concurrent) programmieren. Die universelle Bausteinunterstützung wird mit passiven Adaptern gewährleistet, die einen schnellen Wechsel zwischen unterschiedlichen Gehäuseformen ermöglichen.

Bei den Input-/Output-Medien stehen Tray, Tube oder Tape zur Verfügung. Alle diese Medien sind untereinander kombinierbar und bei Bedarf nachrüstbar. Insbesondere das direkte Gurten der Bauelemente nach der Programmierung gewährleistet einen sicheren, abgeschlossenen Prozess. Mit einem speziellen Vision-Control-System wird die exakte Bausteinplatzierung an den Sockeln oder beim Ablegen sichergestellt. Das eigens für hohe Durchsatzzahlen konzepierte Pick-and-Place-System ermöglicht eine schnelle Programmierung und schließt Koplanaritätsprobleme aus.

Die Anwender-Software basiert auf dem bekannten Windows-Betriebssystem. Diese erlaubt sowohl die Erstellung von vollautomatischen Tasks, die den kompletten Prozess enthalten als auch die Generierung von umfangreichen Qualitätsstatistiken und erlaubt so eine professionelle Prozessautomation. (pa)

Data I/O
Tel.: 089/85 85 80

V.23-Software-Modem-Referenzdesign

Scenix Semiconductor erweitert seine Angebotspalette mit einem Modem-Referenzdesign für Low-Speed-Data-Transmission-Applikationen. Das V.23-Modem ist kompatibel zum CCITT-Standard und bietet ferner DTMF-Generation- und -Detection (Dual-Tone, Multi-Frequency) – sowie Caller-ID- und Call-Progress-Funktionen. In Übereinstimmung mit den FCC-Standards durchgeführte Tests wurden erfolgreich abgeschlossen. Beim Einsatz des Modems in einer Vielzahl von Embedded-Applikationen können Entwickler die Anzahl der Systemkomponenten und die damit verbundenen Kosten reduzieren. Genau wie die bisherigen Modem-Referenzdesigns von Scenix ersetzt auch das V.23-Modem externe Hardware-Komponenten durch Virtual-Peripheral-Software-Module, die im On-Chip-Flash/EEPROM-Programmspeicher eines 50 MIPS (Million Instructions Per Second) schnellen SX28AC-Mikrocontrollers (MCU) von Scenix abgelegt sind. Der SX28AC verarbeitet pro Taktzyklus einen Befehl und kann sowohl Modem- als auch System-Control-Funktionen übernehmen.

Entsprechend der V.23-Spezifikation überträgt das wählende (Dialing) Modem Daten mit 75 Baud und empfängt Daten des antwortenden Modems mit einer Übertragungsrate von 1200 Baud. Die im V.23-Modem vorhandenen Virtual-Peripheral-Module bieten eine FSK-Datenübertragungsrate (Frequency Shift Keyed) von 75 Baud und nutzen dabei die spezifizierten Trägerfrequenzen von 450 Hz und 390 Hz; beim Empfang von Daten mit 1200 Baud werden die spezifizierten Trägerfrequenzen von 2100 Hz und 1300 Hz genutzt. Ein asynchroner Transmitter zur Datenwandlung von 1200 Baud auf 75 Baud ist ebenfalls in Software realisiert. Weitere Modemfunktionen, die beim neuen Referenzdesign ebenfalls als Virtual-Peripheral-Module implementiert sind, sind D/A-Wandler auf PDM-Basis (Pulse-Density-Modulation), digital Low- und High-Pass-Filterfunktionen, DTMF-Generation und -Detection- sowie Caller-ID- und Call-Progress-Funktionen.

Kostengünstige Implementierung

Zum Aufbau des V.23 Modems sind neben dem SX28AC Prozessor lediglich die folgenden Hardware-Komponenten erforderlich: ein RS-232-Jack- und Line-Interface für die datenseitige Verbindung, ein Leitungstreiber (DAA) und RJ-11 Jack für die telefonseitige Verbindung, ein Kristalloszillator, eine aus Operationsverstärker und Widerständen bestehende, einstellbare Hybridschaltung für die Anpassung an unterschiedliche Leitungsimpedanzen sowie wenige Entkopplungskondensatoren und -widerstände. Ein Modem mit dem kompletten V.23-Funktionsumfang lässt sich auf einer Leiterplattenfläche von etwa 5 cm x 7,5 cm oder kleiner aufbauen. (pa)

Scenic
Tel.:
001/40 83 27 88 88

Unterstützung für die Virtex-E-FPGAs

Synplicity, Lieferant von Logiksynthese-Software für das Design mit programmierbaren Logikbausteinen, gibt ein Upgrade seines Logiksynthese-Tools Synplify bekannt. Damit sollen Designern, die mit den FPGAs der neuen Virtex-E-Familie von Xilinx arbeiten, optimierte Ergebnisse ermöglicht werden. Darüber hinaus enthält die neue Synplify-Version auch Unterstützung für weitere neue programmierbare Logikbausteine und bietet mehrere Features, die Designern auf dem Multimedia-, Netzwerk- und Kommunikationssektor das Erzielen von mehr Performance und höherer Ergebnisqualität erlauben.

Die neuen Bauelemente der Reihe Virtex-E mit 3,2 Millionen Gattern zeichnen sich, verglichen mit früheren Virtex-FPGAs, durch zahlreiche Leistungsverbesserungen aus. Unter anderem bieten sie eine höhere I/O-Performance, mehr RAM-Blöcke höherer Kapazität und die doppelte Anzahl DLLs. Synplicity arbeitete eng mit Xilinx zusammen, um die Virtex-Technology-Mapper von Synplify zu optimieren und auf diese Weise die Unterstützung für die Virtex-E-FPGAs zu sichern. Synplicity verbesserte außerdem seine B.E.S.T-Synthesealgorithmen (Behavior Extraction Synthesis Technology), um den Support für die existierenden Virtex-Bausteine zu optimieren. Mit Hilfe eines neuen »Critical-Path-Restructuring«-Algorithmus für Virtex-Produkte kann der mit Synplify 5.2 arbeitende Designer gegenüber früheren Synplify-Versionen eine bis zu 25-prozentige Leistungssteigerung herbeiführen. Der neue Algorithmus wurde eigens für diese Bausteine entwickelt. Mit der Einführung von Synplify 5.2 können aber auch die Anwender nunmehr die Vorteile der gesamten Synplify-Syntheselösung für die Bauelemente der Ultra37000-Familie von Cypress Semiconductor nutzen. Abgesehen davon bietet Synplify 5.2 auch Unterstützung für ein breites Spektrum programmierbarer Logikbausteine von anderen Unternehmen wie z.B. Actel, Altera, Atmel, DynaChip, Lallice Semiconductor-Nantis, Lucent, Philips und QuickLogic. (pa)

Synplicity
Tel.: 089/93 08 62 52

Embedded-C++-Toolkit für die NEC-V850-Familie



Auf der Basis des IDEs, die in den NEC-Familien 78K0 (8 Bit) und 78K4 (16 Bit) bereits eingesetzt wird, hat IAR Systems ein neues Toolset für die V850-Familie entwickelt. Die »IAR Systems Embedded Workbench« für den V850 unterstützt den aufstrebenden Standard für 32-Bit-Devices. Seitdem alle IAR-Systems-Entwicklungs-Tools für NEC-Produkte die gleiche IDE benutzen, können die Anwender von 8-Bit- und 16-Bit-NEC-Bausteinen ihre Applikationen einfach in der 32-Bit-Welt einsetzen. Dazu sind keine zusätzlichen Schulungen für neue Software-Entwicklungswerkzeuge notwendig. Die Systems Embedded Workbench für den V850 enthält viele neue Merkmale, sowohl im Compiler und im C-Spy-Debugger als auch in der Embedded-Workbench selbst. Diese neue Generation von Entwicklungs-Tools verfügt über Front-end-Technologie, die sowohl ANSI C als auch Embedded C++ unterstützt. Der V850-C/EC++-Compiler ist darüber hinaus auch mit einem verbesserten, globalen »Optimierer« ausgestattet, der speziell für die V850-32-Bit-RISC-Archtitektur entwickelt worden ist, um so eine Optimierung sowohl in Geschwindigkeit als auch bei den Codegrößen anbieten zu können.

NECs anspruchvolle RISC-Architektur im Pipeline-Ablauf wird vollständig von diesem verbesserten Compiler unterstützt: Nachdem die übliche Codegeneration abgewickelt ist, führt der Compiler einen zusätzlichen Optimierungsschritt in der Pipeline ein, um die Befehle für die Pipeline zu optimieren. Dieses führt bei der Applikation zu einer Erhöhung der Geschwindigkeit.

Der C-SPY-Debugger wurde auch dazu entwickelt, um eine exakte Simulation der jeweiligen Befehle zu erreichen. So ist es möglich, verschiedene Memorytypen zu simulieren, mit dem sogenannten »Wait-state«-Mechanismus. Der Pipeline-Algorithmus ist vollständig ausgeführt worden und kann im C-SPY für den V850 simuliert werden.

Die wesentlichen Vorteile bei der Verwendung der Embedded-Workbench liegen darin, dass alle Tools, die benötigt werden, in einer einzigen Applikation integriert sind. Alle Tool-Optionen werden von einer einzigen Dialogbox konfiguriert. Das bedeutet z.B., dass man mit einem einzigen Knopfdruck kompilieren, linken und den Code auf den Emulator laden kann. (pa)

IAR Systems
Tel.: 089/90 06 90 80

Mathematische Programmbibliotheken für den TigerSHARC-DSP

Spectrum Signal Processing Inc., Hersteller von leistungsfähigen DSP-Systemen, hat mit Analog Devices (ADI) vertraglich vereinbart, mathematische Programmbibliotheken für die TigerSHARC-DSP-Architektur zu entwickeln. Spectrum arbeitet bereits seit Herbst 1998 mit ADSP-TS001-Programmierwerkzeugen von ADI, um eine Serie von mathematischen Bibliotheksfunktionen zu entwickeln, die zusammen mit den TigerSHARC-Entwicklungswerkzeugen voraussichtlich im ersten Vierteljahr 2000 ausgeliefert werden sollen. Die Bibliotheken bestehen aus mathematischen Funktionen, realen und komplexen Vektorfunktionen, Matrixfunktionen, Filtern, schnellen Fouriertransformationen (FFTs) und einer Vielzahl von statistischen Funktionen. Spectrum wird den TigerSHARC-DSP mit einer kompletten Serie von PCI-, VME64- und PMC-Lösungen unterstützen – jede auf Basis von Accelera, der neuen grafischen Software von Spectrum für Multiprozessor-Anwendungen auf Komponentenbasis. Die Accelera-Software ist eine geeignete Ergänzung für den ADSP-TS001-TigerSHARC-DSP. Sie wird voll kompatibel zu Analog Devices VisualDSP-Entwicklungswerkzeugen sein. Die Produkte von Spectrum sind immer nach Industriestandards gefertigt. Die Anwender können aus einer Vielzahl von handelsüblichen PMC-I/O-Modulen auswählen, oder sie können sich dafür entscheiden, ihre eigenen anwendungsspezifischen PMC-Module zu entwickeln. (pa)

Electronic Tools
Tel.: 0 21 02/88 01 41

Inova Semiconductors

Chipsatz für High-Speed-Datenübertragung

Die im Februar 1999 gegründete Inova Semiconductors GmbH präsentiert ihr erstes Produkt, den Chipsatz »GigaSTAR«. Dies ist eine miniaturisierte, zuverlässige, kostenoptimierte und einfach handzuhabende integrierte Lösung zur störungssicheren Hochgeschwindigkeits-Datenübertragung über normale Kupferkabel bis zu einer Entfernung von 20 Metern. Die Finanzierung des neuen Halbleiterunternehmens erfolgt mit Venture-Kapital, wobei sich die Finanzinvestoren aus einer Gruppe von privaten wie auch institutionellen Anlegern aus Europa zusammensetzen, darunter die Schweizer Actienbank AG. Darüber hinaus wird die Inova Semiconductors auch vom Freistaat Bayern im Rahmen des BayTOU-Förderprogramms seit Februar 1999 unterstützt.

Die Inova Semiconductors GmbH ist, ebenso wie die Inova Computers GmbH, Kaufbeuren, unter der Inova Holding GmbH angesiedelt. Unter dem Holding-Dach befinden sich auch die beiden Vertriebsgesellschaften in den USA (Inova Computers Inc.) und in der Schweiz (Inova Computers AG). Die Anteile der Holding werden in unterschiedlicher Höhe von der Familie Kreidl und Inova-Semiconductors-Geschäftsführer Robert Kraus sowie von den Venture-Kapitalgebern und den Beschäftigen gehalten. Das Working-Kapital der Holding inklusive Fördermittel beträgt rund zehn Millionen Euro, davon sind rund sechs Millionen Euro Eigenkapital. Ein großer Teil davon ist für die Finanzierung des Halbleitergeschäfts eingeplant. Dieser Geschäftsbereich hat im Februar 1999 seine Tätigkeit aufgenommen. Zunächst wurden die Schwerpunkte auf den Aufbau der Infrastruktur und die Entwicklung der ersten Generation von GigaSTAR-Produkten gelegt.

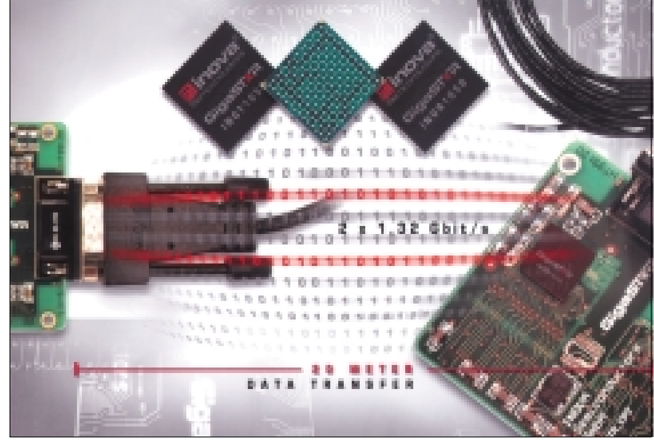
Obwohl für das Geschäftsjahr 1999 aufgrund der hohen Entwicklungskosten noch mit einem Verlust von rund 2,0 Millionen Euro gerechnet werden muss, ist für das Jahr 2000 bereits ein operativer Gewinn von 2,3 Millionen Euro geplant.

Unter der Bezeichnung GigaST*R (Gigabitis Serial Transmitter and Receiver) wurde nun ein funktionsfähiger Chip-Set vorgestellt. GigaSTAR ist ein universelles, schnelles Punkt-zu-Punkt-Kommunikationssystem zur seriellen, protokollfreien Datenübertragung über nur ein Leitungspaar eines standardmäßigen STP-Kupferkabels (Shielded Twisted Pair) bis zu einer Entfernung von 20 Metern mit einer maximalen Transferrate von 1,32 GBit/s.

Das GigaSTAR-Chip-Set besteht aus dem Senderchip INGT165B und dem Empfänger-Chip INGR165B. Der Sender wandelt parallele Daten (bis zu 36 Bit) in einen seriellen Bit-Strom um. Die differenziellen CML-Ausgänge (Current Mode Logic) können bei Übertragungsdistanzen bis zu 20 m zur direkten Ansteuerung von STP-Kabeln verwendet oder für größere Entfernungen an Lichtwellenleitermodule angeschlossen werden. Der Empfänger wandelt den seriellen Bit-Strom transparent und ohne Protokollaufwand in das ursprüngliche parallele Datenformat um. Die Latenzzeit pro Baustein ist mit 40 ns (typisch) gering. Die Synchronisation der Verbindung, die Codierung und Decodierung des Bit-Stroms, die Regenerierung von Takt- und Frame-Informationen sowie die Paritätsprüfung werden von integrierten, schnellen Zustandsmaschinen übernommen. Durch Parallelbetrieb mehrerer GigaSTAR-Verbindungen lässt sich die Bandbreite in ganzen Vielfachen von 1,188 GBit/s (Nutzdatenrate) skalieren.

Die GigaSTAR-Verbindung ist für die Einrichtung zuverlässiger, schneller Datenübertragungssysteme mit minimaler Latenzzeit konzipiert. In den Sender- und Empfängerbausteinen sind sämtliche Funktionen des Datentransfermanagements einschließlich der Hochfrequenzblöcke integriert. Beide Bauelemente verfügen über ein anwenderfreundliches 36-Bit-Parallel-Interface mit standardmäßigen Logikpegeln (3,3 V CMOS), um eine möglichst einfache Anpassung an beliebige Applikationen zu ermöglichen. Die Verbindung unterstützt am Parallel-Interface eine Dauerübertragungsrate bis zu 148,5 MByte/s. Dies entspricht einem seriellen Bit-Strom mit einer Nutzdatenrate von maximal 1,188 GBit/s. Mit zusätzlichen Bits zur Synchronisation, Paritätsprüfung und DC-Balancierung der Übertragung ergibt sich eine maximale Bit-Rate durch die seriellen I/O-Blöcke von 1,32 GBit/s. Die Effizienz der Übertragung beträgt somit 90 Prozent. Mit einer Signallaufzeit für Sender und Empfänger von je 40 ns entspricht die typische Gesamtlatenzzeit der GigaSTAR-Verbindung 160 ns bei einer 20 m langen Verbindung über STP-Kupferkabel (Shielded Twisted Pair).

Die serielle Bit-Taktfrequenz von 1320 MHz wird durch interne PLL-Stufen erzeugt. Sender und Empfänger benötigen einen externen Referenztakt von 66 MHz. Eine fortlaufende Phasenangleichung im Empfänger sorgt für die Syn-



Die serielle Sender-/Empfänger-Kombination GigaSTAR erlaubt die Datenübertragung mit bis zu 1,32 GBit/s auf Kupferkabeln bis zu 20 m Entfernung

chronisation des Empfangstakts zum Sendetakt.

Sowohl der Sender- als auch der Empfängerchip des GigaSTAR-Systems sind wie bereits erwähnt mit einem 36-Bit-Parallel-Interface ausgestattet. Die maximal 33 MHz betragende Frequenz an diesem Interface entspricht einer Periodendauer von 30 ns für die Signale WRCLK und RDCLK. Die Übertragung eines extern generierten Paritäts-Bit synchron zum parallelen Datenwort ist optional möglich. Steht ein externes Paritäts-Bit zur Verfügung, so prüft der Sender das Signal, bevor es übertragen wird. Liegt kein externes Paritäts-Bit vor, generiert der Sender dieses Signal automatisch. Sender und Empfänger besitzen Ausgänge zur Anzeige von Paritätsfehlern.

Der serielle Datenstrom ist DC-balanciert und ermöglicht so den Einsatz einer kapazitiven (AC-)Kopplung, wodurch die vollständige Gleichstromtrennung der Verbindung erreicht wird. Die DC-Balance der seriellen Daten wird durch proprietäre Codierung im Senderbaustein erreicht.

Sender und Empfänger des GigaSTAR-Systems sind mit einem betriebssicheren, schnellen Interface ausgestattet, das entweder direkt an STP (Shielded Twisted Pair) – oder Koaxialkabel mit definierter Impedanz oder an Lichtwellenleiter-Module angeschlossen werden kann. Erste Tests mit STP-Kabeln (50 Ohm Impedanz, 100 Ohm differentiell) haben ergeben, dass zuverlässige Übertragungen über Entfernungen von 20 m möglich sind. Für größere Übertragungsdistanzen wird der Einsatz von Lichtwellenleiter-Modulen empfohlen.

Die parallele Schnittstelle des Senders erlaubt verschiedene Betriebsarten und bietet somit ein Maximum an Flexibilität für das Design der Applikationsschnittstelle. Ganz generell ist das parallele Daten-Interface des GigaSTAR-Systems für die Unterstützung einer Vielzahl von Applikationsschnittstellen konzipiert. Es stellt für die Ausgangs-Puffer (z.B. FIFOs, Speicher, ASICs oder PLDs) der jeweiligen Applikation einen Lesetakt (RDCLK) von bis zu 33 MHz zur Verfügung. Ein Datenwort der parallelen Schnittstelle besteht aus 36 Bit zuzüglich des optionalen Paritäts-Bits. Das Bit-parallele Datenwort, das die Applikation dem Senderchip synchron zum Lesetakt (RDCLK) präsentiert, wird in den chipinternen Subblöcken serialisiert und auf das serielle Übertragungsformat des GigaSTAR abgebildet. Der proprietäre DC-balancierte Leitungscode ist blockorientiert – zu jedem Datenblock (Rahmen) werden Informationen hinzugefügt, die Bestandteil des effizienten Protokolls zwischen Sender und Empfänger sind. Dem Empfänger werden auf diese Weise alle Informationen übermittelt, um die übertragenen Nutzdaten zu decodieren und testen zu können, ob sein Arbeitstakt rahmensynchron zum Sender ist.

Der Bit-serielle Datenstrom wird in den chipinternen Subblöcken des Empfängerchips parallelisiert, und die Protokollinformationen des Senders werden vom Empfänger extrahiert und ausgewertet. Auf der Grundlage dieser Informationen kann der Empfängerbaustein Übertragungsfehler erkennen (Verlust der Rahmensynchronität zum Sender und ungeradzahlige Bit-Fehler im empfangenen Datenrahmen) und präsentiert gültige, decodierte Daten an seiner parallelen Schnittstelle zur Applikation synchron zum Schreibtakt. (pa)

Inova Semiconductors
Tel.: 089/45 74 75 60

Logikanalysator mit neuem Bedienansatz

Einfache Bedienung und vielseitige Messungen

Umfragen unter Anwendern von Agilent Technologies haben ergeben, dass Entwickler von Mikrocontrollerschaltungen bisweilen von den Kosten und der Komplexität herkömmlicher Logikanalysatoren abgeschreckt wurden. Mit seiner neuartigen Architektur und seiner einfachen Benutzerschnittstelle richtet sich der neue Logikanalysator Agilent LogicWave speziell an einen Anwenderkreis, der einen preisgünstigen und leicht zu bedienenden Logikanalysator benötigt.

Aus der Fülle von Möglichkeiten hat Agilent Technologies diejenigen Funktionen ausgewählt, die der Entwickler bei seiner täglichen Arbeit braucht, und diese mit einer unkomplizierten Benutzerschnittstelle kombiniert. Die neue Testlösung ist wesentlich kostengünstiger als ein herkömmlicher Logikanalysator. Dieser ist üblicherweise



Bild 1: Der Logikanalysator LogicWave von Agilent Technologies ist ein PC-Add-on

ein selbstständiges Messgerät mit einem Bildschirm, Bedienelementen auf der Frontplatte und einer Schaltung zur Erfassung und Aufzeichnung von Logiksignalen. Ein eingebautes Mikrocomputersystem mit CPU, RAM, Festplatte usw. steuert das Gerät, der Datenaustausch erfolgt über eine Diskette und/oder einen Anschluss an ein lokales Netzwerk.

Bei dem Logikanalysator Agilent LogicWave (Bild 1) wurde ein anderer Ansatz verfolgt. Dieser Logikanalysator ist kein selbstständiges Gerät; vielmehr sind alle peripheren Funktionen (wie etwa die Benutzerschnittstelle) in einen Standard-PC ausgelagert. Der Logikanalysator selbst enthält nur die Schaltungen zur Datenerfassung, er ist über die Parallelschnittstelle an den PC angeschlossen. Die Bauteilersparnis durch den wesentlich einfacheren Aufbau machen das Gerät zum kompaktesten (29,2 x 23 x 6,5 cm² kg) und preisgünstigsten Logikanalysator, den Agilent bzw. Hewlett-Packard jemals gebaut hat. Das Gerät kann Timing-Analysen (asynchrone Messungen) bis 250 MHz und Zustandsanalysen (synchrone Messungen) bei Taktraten bis zu 100 MHz durchführen, besitzt einen schnellen Datenspeicher mit einer Tiefe von 128 KSamples und verwendet zur Kontaktierung des Zielsystems die bereits bei anderen Logikanalysatoren bewährte Testadapter-Technologie.

Bei jeder Gruppe von Produkten (wie beispielsweise Logikanalysatoren) besteht eine lineare Abhängigkeit zwischen der Kompliziertheit der Bedienung und der Anzahl der Features (Bild 2). Kurz gesagt: Je mehr Möglichkeiten ein Gerät bietet, desto schwieriger ist es zu bedienen; je leichter es zu bedienen sein soll, desto weniger Möglichkeiten darf es bieten. Ziel für das Entwicklerteam des LogicWave war, diese Abhängigkeit zu durchbrechen, also möglichst viele Funktionen einzubauen, dabei aber eine möglichst einfache Bedienung zu erzielen. Um diese widersprüchlichen Forderungen unter einen Hut zu bekommen, verfolgte man zwei Konzepte: »alle Funktionen, die man braucht« und »Ein-Fenster-Bedienung«. Durch eine sinnvolle Reduktion des Funktionsumfangs wird bereits eine einfachere Bedienung erzielt, dazu aber kommt das innovative Bedienkonzept des Analysators, mit dem bei gleichem Funktionsumfang eine weitere wesentliche Vereinfachung der Bedienung erzielt wird. Wenn man die Funktionen eines Messgeräts festlegt, das wesentlich einfacher zu bedienen sein soll als sein Vorgänger, steht man ständig vor einem Zwiespalt: Zu viele Funktionen erschweren die Bedienung des Geräts. Alles was eingestellt werden kann, will nämlich auch eingestellt sein – mehr Funktionen bedingen also mehr Bedienungselemente. Auf der anderen Seite darf aber auch keine wichtige Funktion fehlen. Es wäre fatal, wenn man einem Fehler im Zielsystem nachspürt und plötzlich beim Debugging nicht mehr weiterkommt, weil die benötigte Funktion im Logikanalysator nicht implementiert ist. Ziel der Entwicklung des LogicWave war daher »ein unkomplizierter, einfach einzusetzender Logikanalysator, der all die Funktionen hat, die man für die täglichen Arbeit braucht«.

Der Hersteller befragte Anwender, welche Funktionen ihrer Logikanalysatoren sie in der täglichen Arbeit tatsächlich einsetzten. Dabei wurde erkannt, dass einige der Konfigurationseinstellungen, die vor dem Einsatz der Geräte durchgeführt werden mussten, selten oder nicht richtig angewendet wurden. Das beste Beispiel des daraufhin realisierten Konzepts »Alle Funktionen, die man braucht« findet sich im Bereich Triggerung. Traditionelle Logikanalysatoren bieten eine unglaubliche Vielfalt von Triggermöglichkeiten. Man kann einfache Triggerbedingungen setzen (beispielsweise auf eine Flanke in einem der Eingangskanäle triggern), aber auch Triggerprogramme mit bis zu 16 Sequenzschritten programmieren, mit Mustererkennung, Erkennung von Wertebereichen, Ereigniszählern und Timern. Um all dies sinnvoll einsetzen zu können, muss der Anwender die Wirkungsweise der Triggerung verstehen und den

endlichen Automaten programmieren, der der Triggersequenz zugrundeliegt. Wenn das Konzept auch von ein bestimmtes Muster anliegt und eine bestimmte Flanke auf einem Eingangskanal erfolgt.

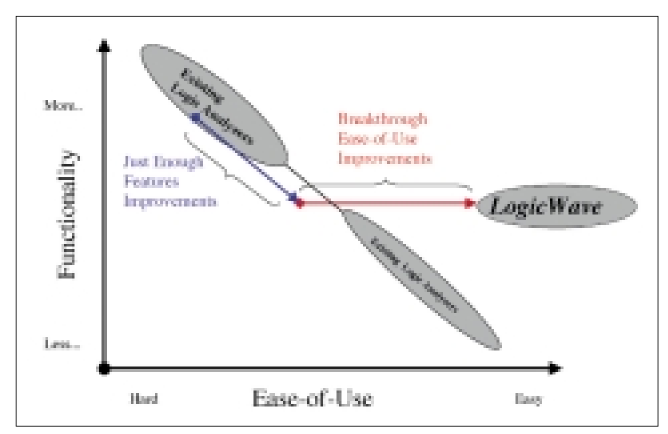


Bild 2: Die lineare Abhängigkeit von Kompliziertheit der Bedienung und der Anzahl der Features

der Flexibilität her kaum Wünsche offen lässt, kommt ein Gelegenheitsanwender damit eventuell nicht zurecht. Die Entwickler des Agilent LogicWave gliederten daher verschiedene Triggermöglichkeiten in zwei große Kategorien: »einfache Triggerung« und »erweiterte Triggerung«.

Triggersequenzen wurden in vereinfachter (und somit auch einfacher anwendbarer) Form realisiert, alle für die tägliche Arbeit benötigten Funktionen stehen zur Verfügung. Unter »einfacher Triggerung« versteht man die Triggerung auf eine einzelne Flanke, auf ein bestimmtes Muster oder ein Muster mit Flanke. Flankentriggerung ist die Fähigkeit, den Logikanalysator auf eine ansteigende oder fallende Flanke in einem einzigen Eingangskanal zu triggern. Ein »einfaches Muster« ist eine bestimmte Kombination von Einsen und Nullen (und auch »don't cares«) über einige oder alle Eingangskanäle. Wenn dieses Muster anliegt, wird der Logikanalysator getriggert. Dieser Typ Trigger kann mit einer Flanke kombiniert werden; der Logikanalysator wird in diesem Fall getriggert, wenn gleichzeitig

Erhebungen ergaben, dass diese Triggermöglichkeiten etwa 80 Prozent der Anwendungsfälle abdecken. Allerdings genügen diese einfachen Möglichkeiten eben nicht für alle Messsituationen; damit das Gerät seinen Anwender auch dann nicht im Stich lässt, wurden erweiterte Triggermöglichkeiten vorgesehen. Unter »erweiterte Triggermöglichkeiten« wird hier die Fähigkeit verstanden, auf zwei aufeinanderfolgende Trigger der oben beschriebenen Art zu reagieren. Außer den beiden Triggern kann eine Zeit angegeben werden. Ist sie nicht näher spezifiziert, muss die zweite Triggerbedingung lediglich der ersten folgen. Die Zeit kann als Mindestzeit und als Maximalzeit angegeben werden. Im ersten Fall muss nach Erkennen der ersten Triggerbedingung mindestens diese Zeitspanne ablaufen, bevor die zweite Triggerbedingung erkannt wird. Im zweiten Fall muss für eine erfolgreiche Triggerung die zweite Triggerbedingung binnen der angegebenen Maximalzeit der ersten Bedingung folgen. Bild 3 zeigt ein Beispiel hierfür. In diesem Fall wird auf einen Impuls mit einer Dauer von maximal 16 ns getriggert.

Obwohl diese erweiterten Funktionen weniger komplex sind als die Messmöglichkeiten eines traditionellen Logikanalysators haben Befragungen bei Anwendern ergeben, dass diese Fähigkeiten in der überwiegenden Mehrzahl der Fälle ausreichen. Diese Befragungen haben außerdem ergeben, dass Logikanalysatoren selten für intensives Debugging von Digitalschaltungen eingesetzt werden. Weil das Gerät so selten eingesetzt wird, muss sich der Anwender jedesmal aufs Neue mit der Bedienung des Geräts vertraut machen. Dies führt zu Frustrationen und ineffizientem Geräteeinsatz. Diese Hemmschwelle hat bisweilen zur Folge, dass Anwender versuchen, Messungen mit dem Oszilloskop durchzuführen, für die eigentlich ein Logikanalysator das richtige Werkzeug wäre. Agilent Technologies hat der Bedienungsfreundlichkeit halber darauf verzichtet, einige erweiterte Funktionen, die man in spezialisierten Logikanalysatoren findet, in den LogicWave zu implementieren.

Herkömmliche Logikanalysatoren kann man beispielsweise in zwei logische Einheiten aufspalten, um damit zwei Prozessoren gleichzeitig und deren Interaktion zu erfassen. Dies wird immer bedeutsamer, wenn die Anzahl der Eingangskanäle in die Hunderte wächst. Potentielle Anwender des LogicWave vertraten die Auffassung, dass sie diese Funktionalität – so nützlich sie in bestimmten Fällen auch sein mag – nicht brauchen. Daher wurde auf die Implementation dieser Fähigkeit bewusst verzichtet.

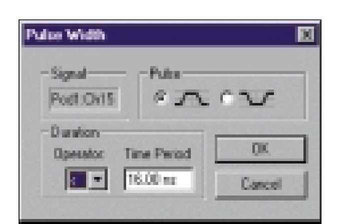


Bild 3: Beispiel für die Triggerbedingungen

Bei den asynchronen Messungen (Timing-Analyse) bieten herkömmliche Logikanalysatoren mehrere Betriebsarten. Erfahrene Anwender können durch Konfiguration dieser feinen Details bei der Datenerfassung das letzte Quentchen Leistung aus ihrem Gerät herausholen. Wer mit einem Logikanalysator aber nicht so vertraut ist, kann von diesen Details überfordert werden. Umfragen ergaben, dass potentielle Anwender des LogicWave in erster Linie an der Darstellung erfasster Daten interessiert sind. Daher wurde nur eine einzige – die gängigste – Timing-Analyse-Betriebsart implementiert.

Ein-Fenster-Darstellung bedeutet, dass der Anwender alle wichtigen Einstellungen in einem einzigen Hauptfenster erreichen kann. Seltener benutzte Einstellungen werden über Dialogboxen konfiguriert. Das Hauptfenster stellt gleichzeitig die aufgezeichneten Daten dar und erlaubt den Zugriff auf die wichtigsten Einstellungen des Logikanalysators wie etwa der Triggerung und der Zuordnung der physikalischen Kanäle zu logischen Signalnamen. Traditionelle Logikanalysatoren bieten die gleichen Möglichkeiten – aber die Zuordnung von Kanälen zu Signalnamen, die Konfiguration der Triggerung und die Daten müssen alle in separaten Fenstern vorgenommen werden. Die Benutzerschnittstelle des LogicWave verhindert Verwirrung beim Anwender, weil alles in dem gleichen, vertrauten Fenster erledigt werden kann.

Im Folgenden wird das Hauptfenster des LogicWave näher erläutert. Die Darstellung nutzt die üblichen Konzepte von Microsoft Windows wie Pulldown-Menüs und eine Toolbar für Funktionen wie Start, Stopp, Speichern, »Konfiguration laden«, Konfiguration und »Agilent LogicWave Hilfe«. Das Hauptfenster ist in drei Spalten oder Sektionen unterteilt: Signalnamen, Triggerung und Timing- bzw. Zustandsdiagramm (also erfasste Daten). Die Zuordnung zwischen Kanälen und logischen Signalnamen erfolgt in einem Fenster, das ähnlich aussieht wie ein Windows-Explorer-Fenster. Windows verwaltet so Verzeichnisse und Dateien, LogicWave Einzelsignale und Signalgruppen (Busse). Der Anwender hat in diesem Fenster die üblichen Möglichkeiten wie Gruppen öffnen und schließen, Drag and Drop, Umbenennung, Gruppierung, Gruppierung aufheben. In dieser Spalte zeigen Tool-Tipps (bubble help) die physikalische Zuordnung der einzelnen Kanäle des Logikanalysators zu den Signalnamen. Untersuchungen zu Anwendbarkeit und Nutzen haben ergeben, dass die Benutzer des Logikanalysators mit diesem intuitiven Konzept sofort vertraut waren.

Die zweite Spalte zeigt die Triggerbedingungen. Sie werden grafisch dargestellt und auch so gesetzt. Um einen Trigger oder Bus zu selektieren, klickt man ihn einfach an. Wenn das Signal oder ein Bus selektiert ist, kann man mit der linken Maustaste durch die einzelnen Triggermöglichkeiten klicken oder mit der rechten Maustaste ein Menü öffnen, das diese Triggermöglichkeiten zur Auswahl anbietet. Wird »erweiterte Triggerung« gewählt, werden zwei Triggerspalten angezeigt (für die beiden Triggerbedingungen). Dass man Triggerbedingungen festlegen kann, während man gleichzeitig die erfassten Daten im Blick hat, bedeutet eine nennenswerte Vereinfachung der Bedienung. Dies zeigt den Wert einer Ein-Fenster-Darstellung.

Der größte Teil des Bildschirms dient zu Darstellung der erfassten Daten. Das Datenfenster hat horizontale und vertikale Rollbalken. Weiterhin kann man die Darstellung beeinflussen, indem man wie von einem herkömmlichen Logikanalysator gewohnt, die Skalenteilung und den Startwert für die Zeit einstellt. Man kann sich auch – wie unter Windows üblich – einen bestimmten Ausschnitt eines Timing-Diagramms herausvergrößern, indem man mit der Maus ein Rechteck darüber aufzieht. Man kann bestimmte Stellen mit Marken versehen, die sich per »Drag-and-Drop« verschieben lassen. Wenn man die Maus über eine Leitung eines Busses bewegt, öffnet sich ein Tool-Tipp, der den Busdatenwert zu diesem Zeitpunkt anzeigt.

Digitalentwickler wünschen ein leicht bedienbares, preisgünstiges Werkzeug zum Debugging. Der Logikanalysator Agilent LogicWave erfüllt diese Anforderung durch die Kombination einer Benutzerschnittstelle nach weitverbreiteten Windows-Regeln mit der Logikanalysator-Technik von Hewlett-Packard und Agilent Technologies. Die wichtigsten Ziele bei Design und Entwicklung des Geräts war die Berücksichtigung der Bedürfnisse der Anwender (erfasst durch umfangreiche Erhebungen) und das Erreichen einer exzellenten Gebrauchstüchtigkeit, erzielt durch sorgfältige Optimierung der Fähigkeiten des Logikanalysators und der Benutzerschnittstelle.

(Steve Warntjes,
Karl Grabner,
Agilent Technologies)

Agilent Technologies
Tel.: 0 70 31/46 40

Neuer Technologieansatz zur...

...automatischen Erzeugung von Device-Treibern

Eine neue Generation von 32-Bit-Hochleistungs-Mikrocontrollern erobert den Markt. Insbesonders die PowerPC-800-Familie von Motorola ist hier in sehr vielen Punkten führend. Die exponentiell steigende Komplexität steigert jedoch auch die Ansprüche an die Software-Entwickler. Wie diese mit den Anforderung mithalten können, zeigt der folgende Artikel anhand eines technologisch völlig neuen Ansatzes, einem CAE-Werkzeug zur automatischen Generierung von BSPs und Hochleistungs-Device-Treibern für die MPC800-Familie.

Zunehmend ist eine neue Generation von 32-Bit Mikroprozessoren im Bereich von Embedded-Applikationen zu sehen. Dies sind leistungsfähige Derivate für Marktnischen, die von Halbleiterproduzenten preisgünstig durch Hinzufügen, Verändern und Verfeinerung von komplexer On-Chip-Peripherie kostengünstig hergestellt werden können. Durch hochspezialisierte Funktionsbausteine für Datenmanagement für die Telekommunikation oder LCD-Controller, die der CPU beigefügt werden, entfällt die Notwendigkeit für den Systemdesigner, solche Bausteine in Form von externer Peripherie hinzuzufügen. Das Gesamtsystem vereinfacht sich hierdurch erheblich. Das vorhandene Potential kann jedoch nicht ohne die entsprechende Programmierung ausgeschöpft werden. On-Chip-Peripherie kann bis zu 50 Prozent der Chipfläche belegen und benötigt Hunderte von Registern mit Tausenden von Bits, die programmiert werden müssen. Mit steigender Komplexität wird es immer schwieriger, zeitaufwendiger und fehlerträchtiger die Applikationsprogramme »auf« die Hardware zu bringen.

Wenn man sich als Beispiel den Motorola MPC-860 anschaut, dann hat dieser einen modernen PowerPC-CPU-Core und On-Chip-Peripherie, vom vollständig programmierbaren (D)RAM-Interface hin zu leistungsfähigen seriellen Kanälen für Protokolle wie Ethernet, HDLC sowie auch T1/E1-timedivision-multiplexed-Kanäle. Varianten des MPC-860 bieten einen weiten Bereich von Möglichkeiten bezüglich der Peripherie. Aber alle haben gemeinsame Funktionen außerhalb der PowerPC-basierten CPU und der applikationsorientierten Peripherie. Diese umfassen eine MMU, Befehls- und Daten-Cache, einen Interrupt-Controller und Speichercontroller, die alles ansprechen können, vom einfachen ROM bis hin zu jedem erdenklichen DRAM-Baustein.

Neben der Basisperipherie gibt es Varianten mit Kombinationen von SCCs (Serial Communication Controler), die viele Protokolle unterstützen wie z.B. Ethernet, HDLC und synchrone sowie asynchrone UARTS. Es gibt ebenfalls Ports für E2C, SPI und PCMCIA, und die meisten Varianten enthalten zwei SMCs (Serial Management Channel), um einfache serielle Protokolle zu unterstützen.

Der MPC860 ist ein hochintegrierter Mikrocontroller, der dem Programmierer die schwere Aufgabe aufbürdet, die komplexe Peripherie zu konfigurieren und zu kontrollieren, ohne hierzu Monate zu benötigen. Bild 1 zeigt, wie die Peripherie mit dem Core in Verbindung steht. Bestimmte Peripherie muss in jedem Fall konfiguriert werden: der System-Setup, der Speichercontroller, Timer sowie der Boot-Code. Normalerweise werden auch Peripheriebausteine wie SCC, SMC, I²C oder der SPI benötigt. Einige globale Kontrollparameter sind zu setzen wie z.B. für das On-Chip-Dual-Port-RAM (zwischen Core und CPM) sowie verschiedene Taktsignale.

Als Minimum muss das Anwendungsprogramm die Reset-Bedingungen programmieren sowie externe Speichermodule (ROM für Programme, RAM für Daten). Zusätzlich muss jede Anwendung den Interrupt-Controller initialisieren.

Der bisherige Weg, um die Appplikation an den Mikroprozessor anzubinden, besteht darin, dass Software-Ingenieure diesen Code »von Hand« selber entwickeln. Dabei wird oft der Weg verwendet, Programme von Third-Partys oder RTOS-Anbietern als Basis zu benutzen.

Eine bemerkenswerte Option ist es, Entwicklungs-Tools zu benutzen, die automatisch den Device-Treiber-Code für die Peripherie generieren. Mit DriveWay wird die Aufgabe, komplette Board-Support-Pakete für MPC-860-basierte Systeme zu erzeugen, dramatisch vereinfacht. DriveWay-MPC 860 ist ein auf Windows basiertendes Tool, das es dem Benutzer durch eine intuitive »Point and Click«-Oberfläche ermöglicht, den MPC-860 so zu konfigurieren, dass spezielle und individuelle Designanforderungen seiner Applikation erfüllt werden. Der erzeugte C-Source-Code enthält alle Funktionen um den Prozessor zu starten, alle Peripherie zu initialisieren (auch vorhandene Real-Time-Operating-Systeme) und stellt der Anwendung ein robustes und gut dokumentiertes API für den Zugriff auf die Funktionen der Peripherie zur Verfügung.

Um den Entwickler von Details der Implementation abzuschirmen, arbeitet die Konfiguration innerhalb von DriveWay so, dass der Entwickler nur die gewünschten Eigenschaften einstellt und sich nicht mit Registern der CPU beschäftigen muss. Ein Beispiel: Wenn ein Kanal für HDLC programmiert wird fragt das Benutzer-Interface nicht, ob die CRC-Bit im PSMR-Register gesetzt werden sollen. Stattdessen kann der Anwender sich zwischen 16- und 32-Bit-CRC-Erzeugung entscheiden. Dies setzt DriveWay dann in die richtigen Registerwerte um.

Bei der Erzeugung der Treiberschicht mit DriveWay kann sich der Benutzer voll auf die Funktionen und nicht auf deren Implementation in dem spezifischen Controller konzentrieren. Das enthebt ihn jedoch nicht davon, die Funktionen des MPC-860 zu verstehen, es vereinfacht jedoch erheblich die Erstellung der Treiber.

Der Benutzer wird ebenfalls gewarnt, wenn es Konflikte bei der Nutzung der vorhandenen Ressourcen gibt. Zum Beispiel können die meisten I/O-Ports sowohl als einfache I/O-Pins

benutzt werden als auch spezielle Funktionen erfüllen. Port-C-I/O Pin15 kann als DMA-Request (DREQ), RTS für einen seriellen Port oder normale I/O benutzt werden. Eine Gruppe von Software-Entwicklern, die den DMA-Treiber schreiben und dabei den PIN benutzen, können in Konflikt mit einer anderen Gruppe kommen, die den Pin für einen seriellen Port benutzen wollen. DriveWay verhindert solche Konflikte. Eine wichtige Erkenntnis, die für die Automatisierung dieses Entwicklungsschritts spricht, ist, dass die Konfiguration und Initialisierung von Peripherie den Wert des Endprodukts nicht erhöhen. Sie führt nur dazu, dass das System überhaupt arbeitet. Wenn also die benötigte Zeit für diese Entwicklungsphase reduziert wird, kann der Fokus in Leistungsmerkmale der Anwendung verschoben werden, was den Wert des Gesamtsystems erhöht.

Zwei komplexe Peripheriemodule, die konfiguriert werden müssen, sind der Speichercontroller (UPM) sowie die seriellen Kommunikationskanäle. Diese Module unterstützen viele mögliche Optionen. Die Konfiguration ist dabei der Schlüssel, um den Controller richtig zu nutzen. Ein leistungsstarkes Merkmal des MPC860 ist die UPM, die externes DRAM unterstützt. Durch einen allgemeinen Ansatz kann der Mikroprozessor mit der UPM jede Art von DRAM ansprechen, die in Embedded-Umgebungen vorkommen kann. Ein Array von Parametern kann in ein On-Chip-Dual-Port-Memory geladen werden, um damit komplett das Timing der RAS/CAS-Signale für den Refresh der DRAM-Bausteine zu einzustellen.

DriveWay bietet eine sehr gute Lösung zur Programmierung der UPM, insbesondere, wenn das UPM860-Tool von Motorola verwendet wird. Der Designer nutzt UPM860 zur Ermittlung der Werte für die UPM-Programmierung, lädt die Parameter in DriveWay, damit dann automatisch der Startcode erzeugt wird. DrivWay enthält bereits eine Menge von UPM-Programmierungen für populäre DRAM-Bausteine sodass hier sehr einfach vorgegangen werden kann.

Wegen der Komplexität der Protokolle, die von den SCC-Bausteinen unterstützt werden, ist die Programmierung dieser Module oft der schwierigste Aspekt der MPC860-Konfiguration. Das CPM-Modul verwaltet einen Satz von Pufferbeschreibungen, die bei der Initialisierung programmiert werden müssen.

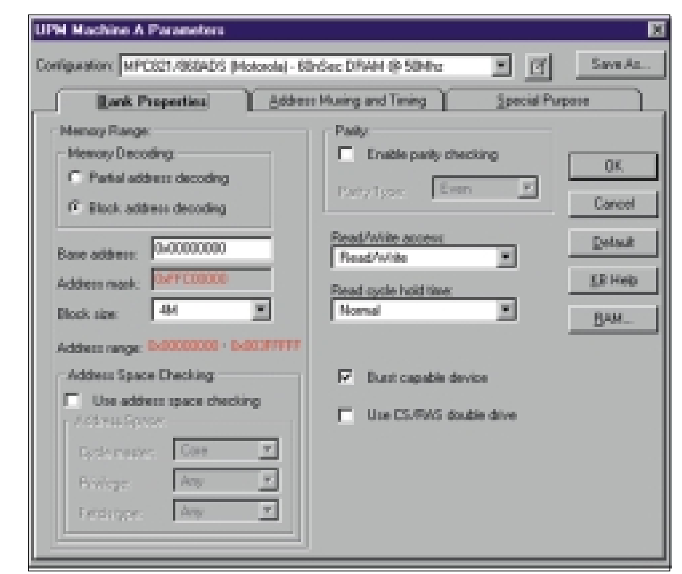


Bild 1 zeigt, wie die Peripherie mit dem CPU-Core des MPC860/PowerQUICC in Verbindung steht

Es gibt sowohl einen Satz von Registern für jeden SCC-Kanal, der gemeinsam für alle unterstützten Protokolle ist, als auch protokollspezifische Register. Alle müssen korrekt gesetzt werden, wenn der Prozessor optimal genutzt werden soll. Um einen UART auf einem MPC860 zu programmieren, müssen folgende Schritte durchgeführt werden:

- Clock-Source für den SCC bestimmen,
- Definition von Pins für TX, RX, RTS, CTS, DTR,
- Setzen des SCC-Registers »General-Purpose-Mode«,
- Setzen der protokollspezifischen UART-Parameter (parity, data-length, stop-bit etc.),
- Setzen der MPC860-internen RAM-Parameter des SCC,
- Setzen des Buffer-Descriptor-Mechanismus für das Senden und Empfangen von Daten,
- Reset der UART-Protokoll-Fehlerzähler,
- Initialisierung von Kontrollzeichen und evtl. Adresstabellen für Multidrop-Anwendungen,
- Setzen des Event-Monitoring und
- Einfügen der Interrupt-Routine in der CPM-Handler-Tabelle.

Das Codebeispiel in Listing 2 zeigt eine solche Implementation für Schritt 2 (Setup der Pins). Wie zu sehen ist, enthält die Dokumentation die Zuordnung von Pins und Funktion. Diese Information kommt aus der Auswahl in den Dialogen, die der Benutzer getroffen hat, als er den UART konfigurierte. Es ist auch möglich, mehrere SCCs zu multiplexen (time-slot-assigner). Ethernet und HDLC haben andere Pins und Protokolle, das Prinzip ist jedoch dasselbe. In jedem Fall unterstützt DriveWay alle Leistungsmerkmale und Möglichkeiten des Controllers und der Peripherie. DriveWay abstrahiert weg von der Codierung mit unzähligen Details und fokussiert auf die Designanforderungen. Aber nicht wie diese zu lösen sind. Trotzdem ist der erzeugte Code komplett dokumentiert, was ausreicht, um ihn zu verstehen und zu sehen, was erzeugt wurde und warum.

Nachdem das Hardware-Interface konfiguriert ist, müssen die Treiber an die vorhandene Umgebung bezüglich Compiler und Laufzeitumgebung angepasst werden. Es ist üblich, Real-Time-Operating-Systeme (RTOS) einzusetzen, und zunehmend werden hier kommerzielle Pakete gewählt. Die Auswahl ist groß, jedoch benutzen alle gemeinsame Mechanismen wie parallele Ausführung von Tasks, Priorisierung, Messages oder Task-Synchronisation. Die meisten RTOS sind für eine gewisse Hardware-Unabhängigkeit entwickelt. Es wird also von der tatsächlichen Hardware, auf der das RTOS läuft, abstrahiert. Zum Beispiel benötigen alle einen periodischen Interrupt, der dem RTOS mitteilt, dass eine bestimmtes Zeitintervall verstrichen ist (Heartbeat-Timer). Dies wird für verschiedene Dinge gebraucht z.B., um eine Task nach einer bestimmten Zeit wieder zu aktivieren.

Ist der Treibercode einmal entwickelt, muss er in das vorhandene RTOS integriert werden. Die Kombination von Treibern und dem Initialisierungscode integriert mit dem RTOS, ist das BSP (Board Support Package).

Der BSP-Entwickler muss den Code erzeugen, um die Funktionen der Peripherie ausführen zu können, jedes Gerät zu initialisieren und Interrupts zu installieren, damit das RTOS Ereignisse erkennt. Bei der Integration des Treibercodes mit dem RTOS muss der Entwickler auf folgende Dinge achten:

- Wie muss der Boot-Code das RTOS initialisieren?
- Welche RTOS-Services stehen zur Verfügung, wenn ein Gerät initialisiert wird?
- Wo ist die Kontrolle der Interrupt-Vektoren: im Treiber oder RTOS?
- Wie sind die Treiber an die I/O-Services vom RTOS angebunden?

Mit einem automatischen Tool wie DriveWay zur Konfiguration und Erzeugung des BSP wird der Entwickler von vielen dieser Probleme entlastet und abgeschirmt.

Boot-Code, der nicht nur den Mikroprozessor initialisiert, sondern auch das RTOS richtig startet, kann automatisch erzeugt werden. Es ist möglich, dass das RTOS dabei auch die Kontrolle über das ganze Interrupt-System hat. Der MPC860 hat eine komplexe Struktur im Interrupt-System. Wenn z.B. SCC2 einen Interrupt nach Empfang eines Datenpuffers anfordert, wird die Anforderung an den CPM-Controller weitergeleitet. Ist die Priorität von SCC2 hoch genug, und sind die Interrupts nicht maskiert, wird die Anforderung an die MPC860-SIU weitergeleitet. Ist die CPM-Interrupt-Priorität hoch genug und nicht maskiert, so geht die Anforderung in den MPC860-Core und wird bearbeitet.

Viele RTOS enthalten Unterstützung für diese komplexe Interrupt-Struktur, indem die Interrupt-Tabelle gesetzt und Interrupt-Quellen erkannt werden können, oder auch Interrupt-Handler mit generellen Services wie z.B. das Einfügen eines Handlers in die Interrupt-Tabelle vorhanden sind. Der MPC860 enthält ein Event- und Error-Report-System. Manche Anwendungen müssen Kenntnis über verschiedene Events und Errors bekommen. Für jede Peripherie, jeden Modus oder jedes Protokoll gibt es dafür einen Satz von Einstellungsmöglichkeiten in den Registern. Viele RTOS stellen darüber hinaus BSPs zur Verfügung, die es dem Benutzer erlauben, das RTOS zu starten und das Debugging zu ermöglichen. Zum Beispiel wird der SMC1 als Debug-Kanal benutzt.

Die Produkte der RTOS-Hersteller sind jedoch nicht vollständig. Zum Beispiel gibt es den Reset des MPC860-Peripheral-Interrupt-Handlers nicht. Einige RTOS enthalten gar keine Teile des Interrupt-Systems, sodass alles manuell erstellt werden muss. Einige Anwendungen brauchen keine RTOS-Unterstützung. Hier muss der Programmierer ein Stand-alone-System erzeugen, das komplett den Boot-Code, das Interrupt-System, Speichermanagement, Make-Dateien und die Treiber beinhaltet.

Zusätzlich zum RTOS muss ein Codegenerierungs-Tool auch auf die Compilerumgebung achten, mit der der Code übersetzt wird. Manchmal muss Gebrauch von speziellen Compiler-Erweiterungen gemacht werden, die jedoch je nach Compiler eine unterschiedliche Syntax haben. Alle diese Details mit Kombinationen von RTOS und Compiler können bei DriveWay im Dialog eingestellt werden. Dabei muss der Benutzer verstehen, welche Optionen eingestellt werden müssen. Er braucht sich aber keine Gedanken über die Auswirkungen auf den Code machen, d.h., auch hier wird der Entwickler von zeitraubender Detailarbeit entlastet.

Das Design und die Codierung von Device-Treibern für komplexe Prozessoren ist schon eine Herausforderung. Aber das Debuggen ist normalerweise noch schwieriger. Es gibt viele nicht ersetzen kann, so ist es doch eine gute Basis, weil die Treiber bereits sorgfältig getestet sind und das Interface zur Applikation genau beschrieben ist. Dies eliminiert zwei Gründe für Fehler und reduziert damit die Zeit, um durch diese schwierige Projektphase zu gelangen.

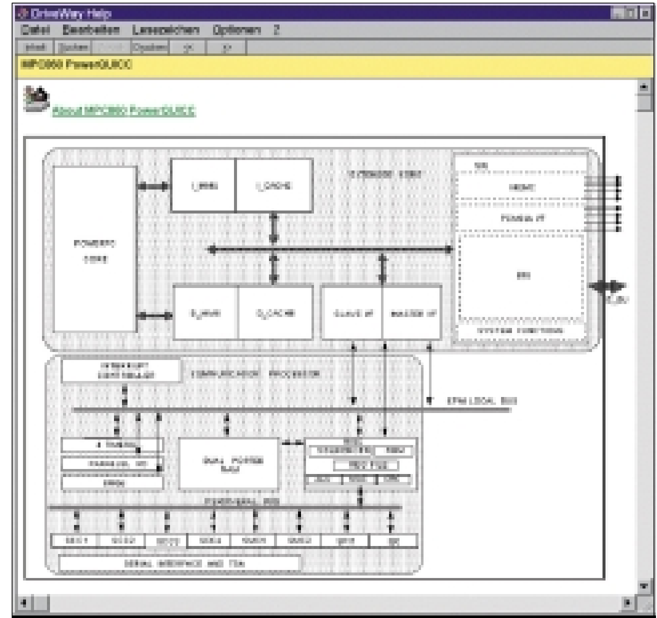


Bild 2: DriveWay bietet dem Benutzter die Möglichkeit, in Dialogboxen den Speichercontroller des MPC860 zu konfigurieren. Die Auswahl wird dazu genutzt, den benötigten Source-Code zu generieren.

Source-Code-Debugger im Bereich der Entwicklung von Embedded-Software, die Gebrauch von einem Target-Monitor machen, der mit einem Debugger auf dem Host verbunden ist. Aber ein Monitor ist nutzlos, wenn nicht bereits Boot-Code und eine minimale Initialisierung des Boards vorhanden sind. Um dieses Problem zu lösen, stellt der MPC860 ein Interface (OnCE/BDM) zur Verfügung, das einfach anzusprechen ist und von allen führenden Debugger-Herstellern wie z.B. SDS unterstützt wird. Auch Hardware-Hilfen wie Emulatoren oder Analyzer können hilfreich sein, sind aber oft teuer oder nicht verfügbar. Auch wenn die Benutzung von DriveWay das Debuggen der Applikation

Neue, komplexe 32-Bit-Mikroprozessoren für Embedded-Applikationen haben sowohl Chancen als auch Hindernisse für den Systemdesigner mit sich gebracht. Die Chancen kommen aus den Möglichkeiten, die in einem einzigen Chip enthalten sind. Power-Management, Memory-Control-Logik, eine leistungsfähige CPU und hochentwickelte I/O-Controller auf einem Chip bieten großartige Möglichkeiten. Diese Komplexität zu beherrschen ist die schwierigste Aufgabe für die Entwickler von Embedded-Systemen. Design-Tools wie DriveWay helfen, diese Aufgaben zu lösen.

(Reinhold Schmid, HSP)

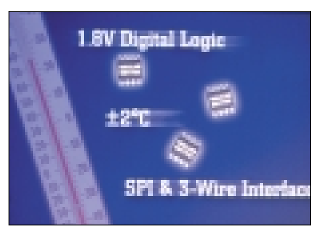
HSP
Tel.: 02 51/98 72 90

Besonders schnelle Logikfamilie

ON Semiconductor hat die zweite Phase der Markteinführung der neuen Generation von Logik-ICs auf ECL-Basis gestartet. Bekannt als ECL-InPS-Plus-Serie arbeiten diese lCs jetzt mit Versorgungsspannungen von 2,5 V, 3,3 V und 5 V. Im Vergleich zu den herkömmlichen derzeit auf dem Markt erhältlichen ECL-Logikfamilien bietet diese Serie Verbesserungen bis zu 30 Prozent bezüglich Frequenzverhalten und Skew. Für Anwendungen, die 500 MHz überschreiten, können Entwickler jetzt unter einer größeren Anzahl von Bauteilen wählen, um sehr schnelle Systeme zu entwickeln, die einen höheren Durchsatz bei gleichzeitig verbesserter Präzision bieten. Im Vergleich zur Mehrfachgatter-Logik weist ECLinPS Plus eine verbesserte Signaltrennung (Entkopplung) auf. Bei den neuen Bausteinen handelt es sich um eine Familie von Einfach-/Mehrfachgattern (die wesentlichen Basisgatter), Multiplexern, Flipflops etc., die bereits alle Forderungen nach 3,3 V und 5 V Versorgungsspannung erfüllen. Zwei neue Chips, EP111 und EP210, sind Clock-Distribution-Bausteine, die sowohl für 2,5-V- als auch für 3,3-V-Systeme geeignet sind. Im Rahmen der Produkteinführungsphase der ECLinPS Plus-Familie stellt ON Semiconductor 19 neue Funktionen vor: zehn primitive Basis-Logikgatter, sieben CMOS/TTL-Umsetzer und die beiden Clock-Distribution-Devices. Diese Chips sind entweder in einem achtpoligen SOIC/TSSOP oder in einem 20-poligen TSSOP oder in einem 32-poligen TQFP-Gehäuse untergebracht. Die fertig im Gehäuse integrierten Gatter schalten typischerweise binnen 170 ps mit Flipflop-Toggle-Frequenzen von über 3 GHz. Bei einigen Bauteilen handelt es sich um direkt pinkompatible Ersatztypen für die bereits erhältliche Logikserie ECLinPS Lite. (pa)

ON Semiconductor
Tel.:
00 33/5 6119 94 88

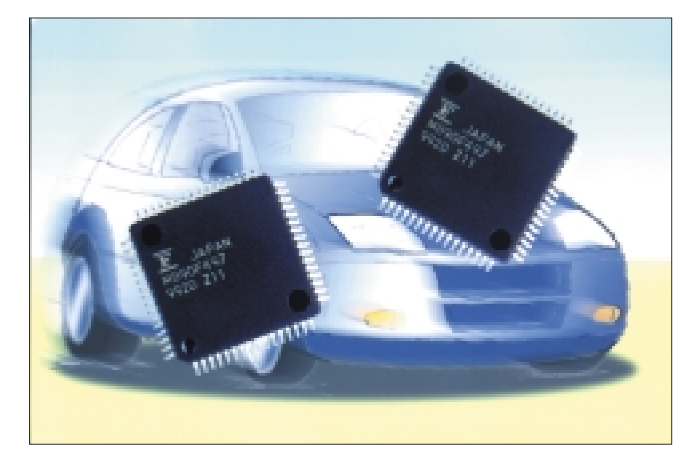
Digitalthermometer integriert duale Spannungsversorgung



Dallas Semiconductor stellt mit dem DS1722 ein Digitalthermometer mit SPI/3-Drahtschnittstelle vor. Damit ist es laut Hersteller das erste Digitalthermometer, das zwei separate Versorgungsspannungen unterstützt und bei dem die Kommunikationsschnittstellen per Software festlegbar sind – wahlweise 3-Draht oder SPI (Serial Peripheral Interface). Die Stromversorgung kann sowohl in einem Bereich für analoge Signaltechnik als auch für einen Bereich geringer Spannung für digitale Logik erfolgen. Dadurch entspricht der Baustein der wachsenden Nachfrage nach der Betriebsmöglichkeit mit mehreren Spannungen für tragbare Systeme mit gemischt analoger und digitaler Technik. Durch die zusätzliche Wahlmöglichkeit zwischen standardmäßiger 3-Draht- und der seriellen SPI-Schnittstelle erhält der Entwickler die Flexibilität, unterschiedliche Netzwerk-Kommunikationsprotokolle bei eingebetteten Systemen zu realisieren. Beide Schnittstellen belegen die gleiche Pin-Anzahl. Die Direct-to-Digital-Technologie ermöglicht über den Bereich von – 40 °C bis +85 °C eine Temperaturerfassung mit maximaler Abweichung von ±2 °C, ohne zusätzliche Bauteile zu benötigen. Für Anwendungen, die eine höhere Auflösung verlangen, kann der Benutzer eine Anzeigeauflösung zwischen 8 bis 12 Bit auswählen – eine hilfreiche Einrichtung bei Anwendungen, bei denen thermische Abweichungen schnell erkannt werden müssen. Der D51722 eignet sich für Schaltungen in PCs/Server/Workstations, Handys, Bürogeräten, tragbaren Analogmessgeräten und Prozesssteuerungen oder jedem beliebigen anderen thermisch empfindlichen System. Der Baustein ist in einem 8-Pin-SOIC oder einem Flip-Chip erhältlich. (pa)

Dallas
Tel.:
001/97 23 71 67 52

Mikrocontroller mit CAN-On-Chip-Flash



Das jüngste Mitglied in Fujitsus CAN-Mikrocontroller-Produktfamilie wurde für Anwendungen in der Automobil- und in der Fertigungsindustrie entwickelt, die Full-CAN-Funktion und Onchip-Flash-Speicher zu niedrigen Kosten erfordern. Der MB90F497 wurde im European Microcontroller Design Center in Frankfurt entwickelt und wird in 0,5-µm-CMOS-Technologie gefertigt. Er basiert auf dem F2MC-LX-16-Bit-Mikroprozessorkern und CAN-Bus-Makro. Die Full-CAN-Busschnittstelle entsprechend V 2.0 Teil A und Teil B ist mit einem integrierten 64-KByte-Single-Voltage-Flash kombiniert, der als benutzerprogrammierbarer Speicher eingesetzt wird. Die flexible Struktur des Nachrichtenspeichers mit acht Speichern bietet gegenüber den herkömmlichen CAN-Designs zusätzliche Funktionalität.

Ein Systemtakt mit einer PLL-Quarz-Multiplikationseinheit On-Chip stellt eine interne Befehlstaktzeit von 62,5 ns bereit, die sie von einem externen 4-MHz-Taktgeber ableitet. Zudem ist ein 32-kHz-Quarz für zusätzliche Stromspar-Betriebsmodi und Echtzeitmessungen verfügbar. Der niedrige Leistungsbedarf wird über zehn unterschiedliche Stromspar-Betriebszustände, einschließlich Ruhezustand, Stop, CPU-Intermittent-Modus und einen Hardware-Standby-Pin erreicht.

Der MB90F497 umfasst eine große Anzahl allgemein verwendbarer Peripherie-Einheiten einschließlich eines Achtkanal-A/D-Wandlers mit 10 Bit oder 8 Bit Auflösung, einer Vierkanal-Input-Capture-Einheit (zur Messung von Pulssignalen), eines freilaufenden 16-Bit-E/A-Zeitgebers und zwei 16-Bit-PPG-Kanäle (programmierbare Impulsgeber). Eine externe Achtkanal-lnterrupt-Steuerung mit acht programmierbaren Prioritätsstufen bie-

tet leistungsstarke Interrupt-Funktionen. Synchrone Kommunikation wird über einen On-Chip-UART sichergestellt. Eine externe Busschnittstelle ermöglicht die Erweiterung des Speichers oder von dedizierten Peripherie-Einheiten. Der Chip wird in einem QFP-64-Gehäuse mit 0,65 mm Pin-Abstand geliefert. (pa)

Fujitsu
Tel.: 0 61 03 / 69 00

E1-Komponenten für die Breitbandkommunikation

Exar stellt mit der »Quad E1 Line Interface Unit« (LIU) XRT82L24 und dem »Quad E1 Framer Baustein« XRT84V24 zwei neue Chips für das E1-Übertragungsprotokoll vor. Die beiden ICs, konzipiert für den Einsatz in Mobilfunk-Basisstationen sowie in Digital-Loop-Carrier- und Frame-Relay-Applikationen, sind die ersten Mitglieder einer neuen Produktfamilie, mit der gleich mehrere Lösungen für wechselnde Architekturanforderungen präsentiert werden. Der XRT82L24 ist ein komplett integrierter Vierkanal-LIU für E1-Applikationen (2,048 Mbps). Jeder Kanal des Bausteins besteht aus einem Receiver inklusive Equalizer für zuverlässige Daten- und Taktrückgewinnung sowie einem Transmitter. Der Transmitter kann am Eingang digitale Single- oder Dual-Rail-Daten verarbeiten. Darüber hinaus beinhaltet jeder Kanal des Bausteins ein quartzloses Jitter-Dämpfungsglied mit 32- oder 64-Bit-FIFO; dieses ist zwischen Transmitter und Receiver umschaltbar. (pa)

Exar
Tel.: 0 81 02 / 74 81 76

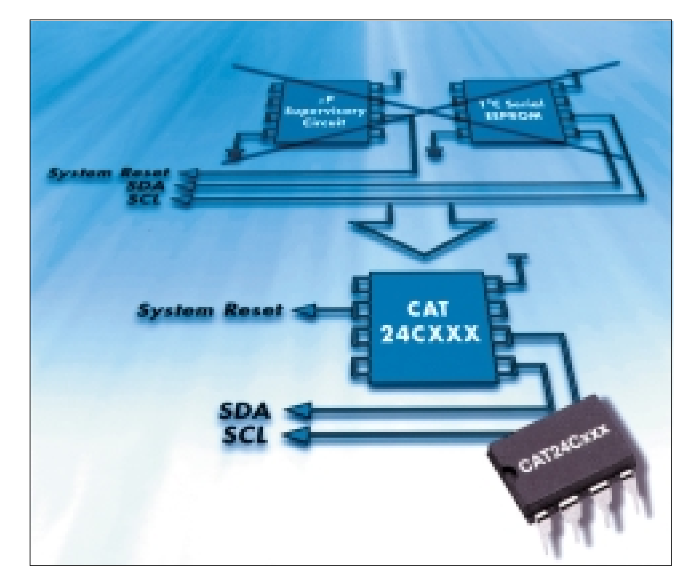
Mikrocontroller mit 80C5-1-Kern und On-Chip-CAN-Controller

Philips Semiconductors hat jetzt einen CAN-Mikrocontroller vorgestellt, der für industrielle Systemsteuerungen gedacht ist. Der P8xC591 ist ein preisgünstiger zum CAN 2.0B Industriestandard konformer 80C51-Mikrocontroller. Das Bauteil enthält eine weiter verbesserte Version der bewährten PeliCAN-Funktionalität (Philips Extended Library CAN) und unterstützt Entwickler durch den CAN-Transport-Layer in der Hardware, was Software-Belastungen der CPU vermindert und so für mehr Leistungsreserven beim Betrieb der Anwendung sorgt. Der P8xC591 besitzt einen Watchdog-Timer und arbeitet intern mit sechs Takten pro Zyklus, wodurch er den doppelten Durchsatz bei gleicher System-Taktfrequenz erreicht. Er verfügt über 16 KByte internen Programmspeicher, der extern auf 64 KByte erweiterbar ist, drei 16-Bit-Timer/Zähler sowie 32 I/O-Port-Anschlusspins. Weiterhin bietet das Bauteil einen 10-Bit-ADC mit sechs gemultiplexten Analogeingängen und einer schnellen 8-Bit-Wandlungsmöglichkeit, einen 16-Bit-Erfassungs-/Vergleicher-Teil, eine 8-Bit-PWM-Einheit mit zwei Ausgangskanälen und sowohl einen UART als auch den I²C-Bus.

Die PeliCAN-Funktionalität, die solche Leistungsmerkmale wie Nur-Hör-Betrieb und Selbsttest-Modi, Fehler-Interrupts und Abschätzung bei Erfassungsverlust umfasst, macht dieses Bauteil für Systemwartung und -optimierung geeignet. Zu den erweiterten Features von PeliCAN gehören vier unabhängig voneinander konfigurierbare Filter für Identifizierungsdaten (Screener), die beide 32-Bit-Match und 32-Bit-Mask umfassen. 32-Mask-Bit pro Screener erlauben Entwicklern die Spezifikation einer eigenen einmaligen Gruppenadresse pro Screener. Sämtliche Screener sind »on the fly« austauschbar und besitzen die Fähigkeit, sowohl nach Daten-Byte-Informationen als auch nach CAN-Identifiern zu screenen. Beispielsweise können DeviceNet-Datenframes sowohl nach der CAN-ID als auch dem Daten-Byte-Inhalt gescreent werden. Außerdem gestattet PeliCAN den Entwicklern durch die Verwendung des Nur-Hör-Modus den Aufbau von CAN-Analyzern, die keine zusätzlichen »normalen« Empfangsbestätigungen abgeben, welche sonst den zu analysierenden Datenverkehr auf dem Bus verändern würden. (pa)

Philips Semiconductors
Tel.: 040 / 23 53 60

Reset-Controller mit integriertem EEPROM



Neumüller-Fenner stellt mit der Bausteinreihe CAT 24Cxxx des kalifornischen Halbleiterherstellers Catalyst Bausteinlösungen für Modems, Netzwerk-Interface-Karten, PC-Erweiterungskarten, I/O-Controller, CODEC-Prozessoren sowie Plug-and-Play-Controller vor, bei denen eine Mikroprozessor-Überwachungsschaltung und ein EEPROM auf einem Chip vereint sind. Zu den wesentlichen Funktionen und Merkmalen der Bausteinfamilie gehören eine präzise Überwachung der Stromversorgungsspannung, ein optionaler Watchdog-Timer-Eingang am SDA- bzw. WDT-Anschluss, fünf programmierbare Reset-Grenzwerte, komplementäre Reset-I/O-Anschlüsse, Schutz gegen unbeabsichtigtes Beschreiben des Speichers, Speicherkapazitäten von 2-K-, 4-K-, 8-K- und 16-K-EEPROM – je nach Bausteinausführung, 400 kHz I²C-Bus-Kompatibilität, 16 Byte Page-Write-Buffer, eine Million Schreib-/Löschzyklen, 100 Jahre Datenhaltung sowie SOIC- und PDIP-Gehäuse mit acht Anschlüssen. Mit dem Einsatz der Bausteine sind ein einfacheres Systemdesign, ein geringerer Platzbedarf auf der Leiterplatte, reduzierte Systemkosten durch weniger Bauelemente, geringere Anforderungen an die Systemstromversorgung sowie »Hot Socketing«-Unterstützung und Power-Up-/Power-Down-Schutz verbunden. (pa)

Neumüller-Fenner
Tel.: 089 / 613 79 50

Embedded-Software-Programmierung

Ein Spiel ohne Grenzen

Kurze Entwicklungszeiten und technische Begrenzungen setzen Embedded-Programmierer unter Zeitdruck. Der springende Punkt ist der Konflikt zwischen den Entwicklungskosten und der Zeit bis zur Marktreife des Produkts. So ist aus Gründen restriktiver Budgets oft nur der Einsatz älterer Hardware oder verschiedener Betriebssysteme möglich, die den Entwicklungsprozess behindern. Gleichzeitig binden die für das Endprodukt bereits vereinbarten Liefertermine die Entwickler an einen strengen Zeitplan. Wenn zudem neue Prozessoren den Einsatz neuer Software-Tools nach sich ziehen, steigt die Belastung für Programmierer und Zeitplan.

Die Software-Entwicklung lässt sich als Zyklus in vier Phasen charakterisieren: Der Entwickler schreibt den Quellcode, kompiliert ihn in Maschinencode, auch bekannt als Objektcode, verbindet die daraus resultierenden Objekte und jede Bibliothek zu einem ausführbaren Programm-Image und debuggt das Programm, um zu sehen, wo etwas falsch läuft. Je nach Ergebnis muss er einzelne Schritte oder auch den ganzen Prozess wiederholen. Die Geschwindigkeit, in der der Code diesen Zyklus durchläuft, ist von größter Wichtigkeit: Je schneller dieser Prozess abläuft, desto schneller geht die Entwicklung voran.

Lässt sich dieser Ablauf in ein und derselben integrierten Entwicklungsumgebung wie etwa bei der CodeWarrior IDE von Metrowerks durchführen, gewinnt der Entwicklungsprozess nicht nur an Komfort, sondern auch an Schnelligkeit. Die IDE lässt State-Informationen, Symboltabellen und den Objektcode im Speicher, um die Arbeitsgänge zu beschleunigen. Die integrierte Umgebung verfolgt Quellcodeänderungen, sodass beim nächsten »Build« die davon betroffenen Dateien automatisch kompiliert und in das endgültige ausführbare Programm-Image verbunden werden.

Die CodeWarrior IDE ist »multi-threaded« und enthält ein Set von Codemodulen, bestehend aus Editor, Source-Browser, Suchmaschine, Build-System, Debugger und Projektmanager. Während Editor, Compiler, Linker und Debugger den vier Schritten des Entwicklungszyklus zugeordnet sind, unterstützen die verbleibenden Module bei der Codenavigation und Build-Kontrolle. Das Modul Projektmanager kontrolliert den kompletten Prozess.

Bild 1: Die IDE-Architektur

Aus Gründen der Geschwindigkeit ist der Editor im Memory angesiedelt. Das Arbeiten mit dem Editor wird durch eine Reihe von Features sehr übersichtlich, und der Entwickler findet sich schneller zurecht. Die Schlüsselwörter für Programmiersprachen gibt der Editor farbig wieder. Über Pop-up-Menüs in jedem Editorfenster lässt sich sofort an den Anfang jedes Funktionscodes oder in die Header-Files gelangen, die das Programm nutzt. Mit Hilfe einer grafischen »Difference Engine« zeigt der Editor die Unterschiede zwischen zwei Quellcodedateien nebeneinander und mit einem grauen Balken kenntlich gemacht an.

Wird mit einer Datenbank von Programmsymbolen gearbeitet, ist der Source-Browser für alle unterstützten Sprachen nützlich, da er die Codenavigation außerordentlich beschleunigt. Jedes Symbol in der Datenbank wird ein Link zu den Stellen im Code, der sich auf dieses Symbol bezieht, sodass sich per Mausklick einfach an die entsprechende Stelle springen lässt. Dadurch, dass der Source-Browser mit dem Editor und Debugger zusammenarbeitet, wird die IDE zu einem außergewöhnlich nützlichen Software-Wartungs-Tool.

Die Suchmaschine hilft dem Entwickler, einen spezifischen Textstring zu lokalisieren. Sie implementiert die Funktion »Suchen-Ersetzen« und führt anhand gängiger Ausdrücke Suchläufe durch. Die Suche kann sich auf eine einzelne Datei beziehen oder auf eine Gruppe von Dateien, die der Anwender vorgibt. Source-Files, System-Header-Files und Project-Header lassen sich ganz nach Belieben ergänzen oder herausnehmen. Während die anderen Tools laufen, kann die Suchmaschine im Hintergrund betrieben werden.

Ebenso wie die Suchmaschine kann auch das Build-System im Hintergrund arbeiten. Es enthält die Compiler- und Linker-Module. Das System ist verantwortlich für die Codeerzeugung und das Objekt-Linking, das das endgültige ausführbare Programm-Image erstellt.

CodeWarrior unterstützt verschiedene symbolische Dateiformate wie »CodeView«, »Debug With Arbitrary Records Format« (DWARF) und »SYM«. Für das Source-Code-Level-Debugging nutzt der Debugger Standardsymbole. Er kann Code assembliert oder als gemischte Sources und dissassembliert anzeigen. An jeder Stelle des Programmcodes lassen sich Breakpoints und Einzelschritte setzen. Kontrollvariablen können in Echtzeit geändert werden, um die Ausführungsbefehlsfolge über einen einzelnen Codeabschnitt hinweg durchzusetzen. Selbst die Befehlsfolge lässt sich debuggen. Über ein Prozessfenster kann der Entwickler zwischen den Befehlsfolgen wechseln, um ihre Interaktionen zu überprüfen.

Der Debugger ist in der Lage, C++- und Java-Ausnahmen aufzufangen. Er unterstützt bedingende und befehlsfolgenbezogene Breakpoints und arbeitet mit Watchpoints. Darunter versteht man einen Bereich des Speichers, den der Debugger überprüft, bis sich dessen Inhalt ändert. Diese Fähigkeit kann dazu genutzt werden, um Speicherzugriffe, die die Memory-Kapazität sprengen, abzufangen, oder um

herauszufinden, wann allgemeine Variablen überschrieben werden. Bei komplizierten Problemen kann der Debugger den Programmcode in Assembler und Memory-Bereiche anzeigen. Für Embedded-Programme kann er den Bootstrap-Code des Geräts schrittweise testen und Unterbrechungssteuerprogramme debuggen.

Die IDE fasst Quelle, Bibliotheken, grafische Ressourcen und andere Dateien in einem Projekt zusammen. Die Informationen über das Projekt werden in einer Projektdatei gespeichert und durch den Projektmanager bearbeitet. Er verwaltet die Beziehungen zwischen den Dateien, verfolgt deren Statusinformationen und dirigiert damit die Arbeitsweise der Tools während des Entwicklungszyklus.

Der Projektmanager ist vermutlich das revolutionärste CodeWarrior-Tool. Tatsächlich generiert er automatisch Makefiles. Für jedes Build verfolgt er Dateien und Bibliotheken, Reihenfolge der Links, Abhängigkeiten, Compiler, Linker und andere Settings. Die Summe dieser Informationen nennt man Build-Target. Wenn sich diese Informationen im Laufe der Entwicklungsarbeit ändern, aktualisiert der Projektmanager das Build-Target automatisch. Wenn ein »Make«-Befehl ausgegeben wird, nutzt er alle Informationen im Build-Target, um das Programm zu erstellen. Er ruft die Tools mit den benötigten Settings in der richtigen Reihenfolge auf. Separate Makefiles sind ebenso unnötig wie Kenntnisse der Makefile-Syntax und -Semantik.

Wird das Programm beispielsweise um eine Bibliothek ergänzt, nimmt der Projektmanager diese Änderung in seinen Tracking-Informationen auf. Beim nächsten Build wird die neue Bibliothek automatisch mit dem ausführbaren Programm »verlinkt«. Wird eine Header-Datei geändert, weist der Projektmanager das Build-System an, nur jene Quelldateien zu kompilieren, die diese Informationen benötigen. Die »Makefile«-Informationen werden automatisch aktualisiert. Der Projektmanager funktioniert hier wie eine unauffällige »Automake«-Funktion. Die für die Codeerstellung nötige Information wird automatisch während der täglichen Arbeit mit den Tools gespeichert und erfordert so keine zusätzliche Arbeitszeit. Diese Art Buchhaltung seitens des Projektmanangers beschleunigt den Entwicklungsprozess. Da das Build-System nur mit geänderten Dateien arbeitet, minimieren sich langwierige und umfassende Builds. Durch das automatische Tracking von Abhängigkeiten werden die Verzögerungen minimal, die auftreten, wenn ein Programm mit einem Objekt erzeugt wurde, das aus einer veralteten Quelldatei stammt.

Ein Projekt kann mehrere Build-Targets enthalten. Jedes Build-Target eines Projekts kann verschiedene Dateien enthalten oder verschiedene Compiler-/Linker-Settings und Bibliotheken näher beschreiben. So kann zum Beispiel ein Projekt ein »Debug«-Ziel und ein »Release«-Ziel enthalten. Wird ein Programm-Build mit dem ausgewählten Debug-Ziel angefordert, veranlassen diese Zieleinstellungen die IDE dazu, aus dem Quellcode einen Debug-fähigen Code und Symboltabellen zu generieren. Anschließend werden die Diagnosebibliotheken mit dem ausführbaren Programm verknüpft, die wiederum eine Testanwendung zum Debuggen erzeugen. Wird das »Release«-Ziel angefordert, veranlassen die Einstellungen die IDE dazu, aus den gleichen Quelldateien einen Objektcode zu erzeugen, der jedoch keine Debug-Informationen und Symboltabellen enthält. Die regulären Bibliotheken werden verknüpft, und das Programm ist fertig. Damit sind eine Makefile-Datei vorhanden, die eine Debug-Version des

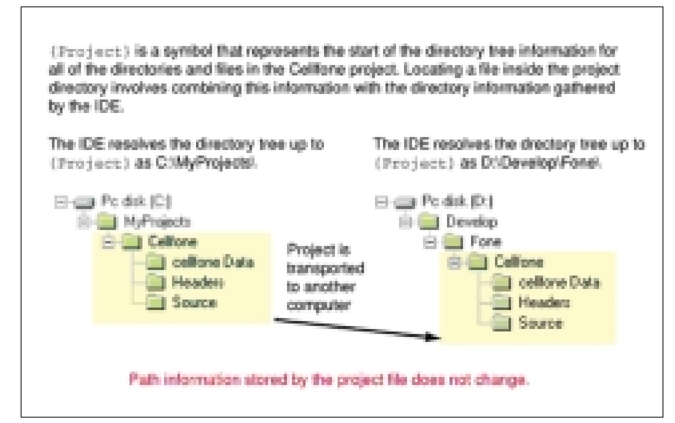


Bild 2: Relative Zugriffspfade

Programms erstellt, und eine andere Makefile-Datei, die eine fertige Version des Programms erzeugt, wobei beide die gleichen Quelldateien verwenden.

Die Dateien werden über das Projektfenster der IDE verwaltet. Dort lassen sich per Mausklick Dateien hinzufügen, entfernen oder in Gruppen zusammenfassen. Der Projektmanager weiß immer, wo die Dateien sind und in welcher Beziehung sie zueinander stehen. Code lässt sich damit sehr viel effektiver schreiben. Dokumentiert der Compiler Fehler, so kann der Entwickler eine Fehlermeldung auswählen. Der Projektmanager befiehlt dem Editor, den Code in einem zum Fehlerfenster gehörenden Textfeld anzuzeigen. Der Punkt zum Einfügen wird auf der betreffenden Quellcodezeile positioniert. Genauso kann der Entwickler bei der Eingabe des Codes in den Editor einen Breakpoint definieren. Der Projektmanager speichert diese Informationen, sodass der Breakpoint während des anschließenden Debuggens implementiert wird. Wird ein Fehler gefunden, öffnet der Projektmanager die richtige Datei an der richtigen Stelle, und der Code kann sofort editiert werden. Statt sich mit der Suche nach der richtigen Datei zu befassen, kann sich der Entwickler ganz auf die Problemlösung konzentrieren.

Die Dateien eines großen Entwicklungsprojekts lassen sich in Form von Subprojekten in »handlicheren« Gruppen organisieren. Ein Subprojekt ist einfach eine CodeWarrior-Projektdatei, die Teil eines anderen CodeWarrior-Projekts ist. Dank dieses sich wiederholenden Features sind beliebig komplexe Projekte in hierarchische Sammlungen von Modulen organisierbar. Die IDE kann Projekte mit Tausenden von Dateien handhaben, die in verschiedene Subprojekte unterteilt sind. Für das genaue Dateimanagement nutzt CodeWarrior spezielle Codemodule, so genannte Plug-ins, die die IDE in Version-Control-Systeme (VCS) integriert. Die IDE verwendet zur Zeit VCS-Produkte wie Microsoft SourceSafe oder Synergex PCVS.

Zusätzlich zu den Einstellungsdetails der Programmdateien und Builds speichert die Projektdatei auch Informationen darüber, wo sich die Dateien befinden, was als Zugriffspfad bezeichnet

wird. Mit Hilfe dieser Beschreibung des Verzeichnisbaums findet der Projektmanager die Dateien. Diese Funktion beschleunigt die Build- und Suchvorgänge, da die IDE »weiß«, wo sich die Quelldateien befinden und nur die Verzeichnisse durchsucht, in denen die Zugriffspfade erwähnt wurden. Ihre Beschreibung kann absolut oder relativ erfolgen. Absolute Pfade benötigen eine vollständige Beschreibung des Verzeichnisbaums, um eine Datei zu finden wie etwa C:\MYPROJECTS\CELLFONE\SOURCE\FILTER\FOURIER.C. Sie werden dann verwendet, wenn die IDE die Header-Dateien von einem Server liest oder eine Bibliotheksdatei zum Server schickt.

Ein relativer Pfad zu einer Datei beginnt in Beziehung zu einem bestimmten Verzeichnis. Die IDE kennt drei Arten anwenderspezifischer Zugriffspfade, die je nach dem Beginn des Pfads als projektbezogen, Compilerbezogen oder systembezogen bezeichnet werden. Relative Pfade vereinfachen den Transfer der Projektdatei und aller Programmverzeichnisse. Nimmt man an, es existiere ein Verzeichnis namens CELLFONE auf dem Server. Dieses Verzeichnis enthält die CELLFONE-Projektdatei, ein Quelldateienverzeichnis für das Programm CELLFONE und ein Kunden-Header-Verzeichnis.

Wenn nun mehrere Entwickler CELLFONE auf ihre Rechner kopieren, können sie die Projektdatei mit der IDE öffnen und mit der Arbeit beginnen. Die Ursache dafür besteht darin, dass die IDE zuerst den Stamm des Verzeichnisbaums für den Host-Rechner auflöst. Dies kann auf einem Rechner C:\MYPROJECTS\ und auf einem anderen D:\DEVELOP\FONE lauten. Dann schließt die IDE die Pfadbeschreibung ab, indem sie die relativen Informationen aus der Projektdatei hinzufügt. Die IDE kann DOS-, Unix- und MacOS-Pfadnamen interpretieren. Da die Projektdatei Informationen über die Build-Targets, Einstellungen und Zugriffspfade des Programms in einem Format speichert, kann die Projektdatei auf eine andere Plattform kopiert werden, und die CodeWarrior-IDE stellt die Projektinformationen wieder her. So haben mehrere Entwicklungs-Teams ungeachtet der Plattform oder Verzeichnisstruktur Zugriff auf die Projektverzeichnisse.

Bild 3: Die CodeWarrior-Build-Architektur

Die IDE liefert einen schnellen Mechanismus zum Schreiben und Debuggen von Code und bietet gleichzeitig verschiedene Plattformen an. Dank der Zugriffspfade funktioniert diese Flexibilität auch dann problemlos, wenn Dateien von verschiedenen Computern gemeinsam genutzt werden. Aufgrund der Plug-in-Fähigkeit der IDE kann CodeWarrior dem Entwickler eine Auswahl von Programmiersprachen und Zielprozessoren bieten. Sollte sich die Entscheidung für einen Prozessor wieder ändern, muss der Entwickler nicht noch ein Tool beherrschen lernen, sondern kann aufgrund der Plug-ins weiter mit CodeWarrior arbeiten. Ein Plug-in enthält Software, die der IDE auf Abruf bestimmte Serviceleistungen zukommen lässt. CodeWarrior erkennt derzeit mehrere Arten von Plug-ins wie Compiler, Linker, Pre-Linker, Post-Linker, Präferenzfelder und alle aktuellen Version-Control-Plug-ins.

Das Build-System verwendet Präferenzfelder, Compiler, Linker, Pre-Linker und Post-Linker-Plug-ins, um auf mehreren Ebenen eine gewisse Flexibilität zu gewährleisten. Durch Kombination der CodeWarrior-IDE mit den entsprechenden Plug-in-Tools kompiliert und verknüpft die gleiche Umgebung Code für eine Vielzahl von Zielprozessoren. Plug-ins für Präferenzfelder liefern der IDE eine grafische Benutzeroberfläche für die Kontrolle eines einzelnen Tools oder eines Tool-Sets. Das C-/C++-Sprachpanel zum Beispiel hat Settings, die Sprach-Features erlauben, die Funktionsreihen kontrollieren und die Übereinstimmung mit dem ANSI-C-Standard überprüfen. Andere Felder steuern die Codegenerierung, prozessorspezifische Optimierungen und die Art und Weise, wie der Linker den Maschinencode für ein bestimmtes Betriebssystem strukturiert.

Das Compiler-Plug-in umgibt die umfassende CodeWarrior-Compiler-Architektur. Oberflächlich betrachtet, sieht der CodeWarrior-Compiler wie jeder andere aus und ist für eine spezielle Sprache und einen Zielprozessor ausgelegt. Er gibt aber den Ausschlag für die Flexibilität von CodeWarrior. Er kombiniert einen Sprachsyntaxanalysierer im Front-end mit einem Codegenerator im Back-end. Der Sprachsyntaxanalysierer konvertiert den Quellcode in ein internes, sprachenneutrales Format, bekannt als Intermediate-Representation (IR). Die IR besteht aus Daten-Tokens, die eine syntaktisch vollständige und exakte Wiedergabe des Quellprogramms in Baumstruktur wiedergeben. Im IR werden generische Algorithmen optimiert wie etwa die Entfernung von »totem« Code. Der Codegenerator liest die IR und übersetzt sie für einen bestimmten Prozessor in nativen Code. Zusätzlich führt der Codegenerator beliebige prozessorspezifische Optimierungen durch wie etwa Befehlsablaufpläne. Verschiedene Präferenzfelder steuern wie der Compiler bezüglich Sprache, Optimierung und Codegenerierung arbeitet. Der Vorteil dieser Struktur kommt bei der Prozessorwahl zum Tragen. Will ein Entwickler höheren Code für einen anderen Prozessor ausrichten, verwendet er einen Compiler mit dem entsprechenden Back-end-Codegenerator. Jeder CodeWarrior-Compiler verwendet den gleichen Sprachsyntaxanalysierer im Front-end, sodass keine sprachenbezogenen Portierungsprobleme existieren.

Die IDE unterstützt auch Assembler-Sprachen. Da Assembler Maschinencode direkt erzeugt, wird die IR-Stufe nicht benötigt. Die Flexibilität der IDE reicht so weit, dass sogar Befehlszeilen-Compiler und Linker wie etwa GNU-Tools verwendbar sind. Jede Verbesserung der Front-end-Sprache – wie etwa im C-/C++-Parser – oder der IR bedeutet, dass alle Back-ends davon profitieren. Aufgrund einiger Optimierungen in

der IR kann jedes Back-end mit hoch optimiertem Code arbeiten. Zweitens kann die IDE einen neuen Prozessor sofort unterstützen, sobald er auf den Markt kommt. Dafür sind lediglich Plug-ins einschließlich Compiler nötig. Die meiste Arbeit bei der Erzeugung eines neuen Compilers ist bereits getan: Das Sprachen-Front-end und die IR werden in jedem CodeWarrior-Compiler wieder verwendet.

Zusätzlich zu den Präferenzfeldern und Compiler-Plug-ins nutzt das Build-System auch Linker-Plug-ins. Das Linker-Plug-in liest Objektcode, löst jede Referenz wie etwa Funktionsaufrufe an andere Objekte und verbindet diese Objekte und Bibliotheken zu einer endgültigen Binärdatei. Diese Datei kann ein ausführendes Programm, ein DLL, eine statische Bibliothek, ein Embedded-Operating-System-Image oder ein Treiber sein. Die Plug-in-Architektur lässt mehr als einen Linker für ein einzelnes Target zu. Meistens wird die Tool-Kette ein Pre- oder Post-Linker-Plug-in benutzen, um den Linking-Prozess flexibel zu gestalten. Die Plug-in-Architektur macht CodeWarrior zu einer Software ohne Begrenzungen. So ist zum Beispiel der Compiler nur ein intelligentes Tool, das eine strukturierte Textdatei (Quellcode) in ein anderes Format (Maschinencode) übersetzt. Plug-in-Tools können auch andere Datentypen verarbeiten. Ein »Compiler«-Plug-in ist in der Lage, Daten aus einem Zeichenprogramm in Bitmaps für den Einsatz in einem Computerspiel umzuwandeln. So kann die IDE als leistungsstarkes Batch-Dateiverwaltungssystem für Dateien aller Art fungieren.

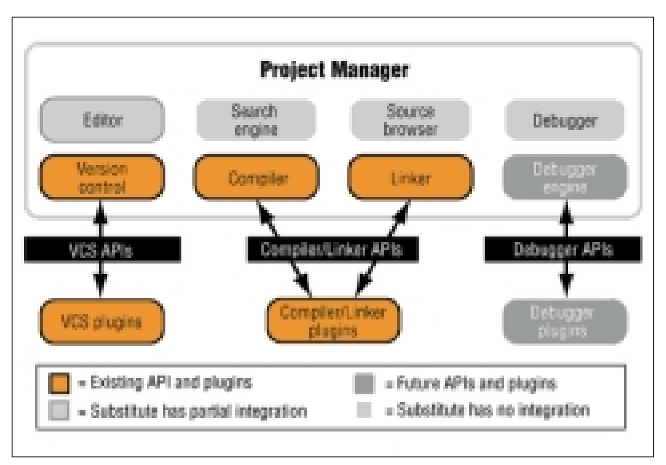


Bild 4: Die Erweiterung der IDE-Architektur

Unabhängig von Host, Sprache oder Ziel präsentiert CodeWarrior ein und dieselbe IDE und kann so einige Programmierhürden beseitigen. Mit CodeWarrior lässt sich mit geringem Kostenaufwand bereits vorhandener Code auf einen anderen Prozessor portieren. Die gleichen Projekte und Quellcodedateien können wiederverwendet werden, während die IDE für den Code passend zum neuen Prozessor einen anderen Compiler nutzt. Das Einzigartige an CodeWarrior ist, dass der Entwickler bei der Wahl der Host-Plattform, Programmiersprache und Zielprozessor freie Hand hat. Der flexiblen Anpassung an die Vorgaben und Bedürfnisse eines Projekts steht damit nichts im Wege.

(Michael Heinz, Metrowerks)

Metrowerks
Tel.: 06 11/97 77 42 36

VMEbus-Einplatinenrechner

Das Kraftpaket unter den Einplatinencomputern

Der MVME2400 ist der erste VMEbus-Einplatinencomputer, der auf der PowerPlusII-Architektur von Motorola basiert. Im vorliegenden Artikel werden die wichtigsten Leistungsmerkmale dieses Single-Board-Computers im Hinblick auf die Cache-Architektur und den Hauptspeicher sowie das Verhältnis von Systemdurchsatz und Systemlatenzzeit beschrieben.

Der Einplatinencomputer MVME2400 ist das neueste VMEbus-Produkt von Motorola Computersysteme. Die wichtigsten Leistungsmerkmale sind:

- MCP750 PowerPC-Prozessor, 350 MHz,
- 1 MByte Backside-L2-Cache,
- Bis zu 256 MByte 100 MHz SDRAM mit EEC,
- 9 MByte Flash-Speicher,
- 10/100-Fast-Ethernet und
- zwei 64-Bit-PMC-Steckplätze.

Bild 1 zeigt das Blockschaltbild des MVME2400. Dieses Design unterscheidet sich von anderen PowerPC-Produkten durch den Hawk-ASIC, der drei Grundfunktionen implementiert: ECC-SDRAM- und Flash-Controller, PCI-Host-Bridge und Interrupt-Controller. Durch Optimierungen in drei wichtigen Bereichen bietet der Einplatinenrechner eine besonders hohe Systemleistung: Optimierung der Prozessor- und Cache-Leistung, Minimierung von Speicherengpässen und Maximierung des System-I/O-Durchsatzes.

Ein schnellerer Prozessor muss auch schneller mit Anweisungen und Daten versorgt werden, da er andernfalls nur einfach mehr Zeit in Wartezuständen verbringen würde. Um das System optimal zu nutzen, muss das Design den Engpass beim Speicherzugriff minimieren. Der Systemspeicher war bisher immer langsamer als der Prozessor. Es muss immer ein Kompromiss zwischen der Größe und der Geschwindigkeit des Speichers getroffen werden. Der Hauptgrund hierfür sind die extrem hohen Kosten, die entstünden, wenn man den gesamten Systemspeicher unendlich schnell machen würde. Darüber hinaus gibt es Probleme im Hinblick auf Leistungsaufnahme und Wärmeableitung. Ein guter Kompromiss besteht darin, einen relativ kleinen aber dafür sehr schnellen sekundären Cache-Speicher und einen sehr großen aber dafür relativ langsamen Hauptspeicher zu realisieren. Dabei wird natürlich vorausgesetzt, dass ein kleiner aber extrem schneller Primär-Cache – der sogenannte L1-Cache – vorhanden ist. Der Prozessor MPC750 besitzt einen 32 KByte großen Befehls-Cache und einen 32 KByte großen Daten-Cache. Beide Cache-Speicher sind sehr effizient, da es sich um achtfach assoziative Speicher handelt, die genauso schnell wie der Prozessorkern getaktet werden. Der Daten-Cache kann je nach Anforderungen der Anwendung im Copy-Back- oder Write-Through-Modus arbeiten.

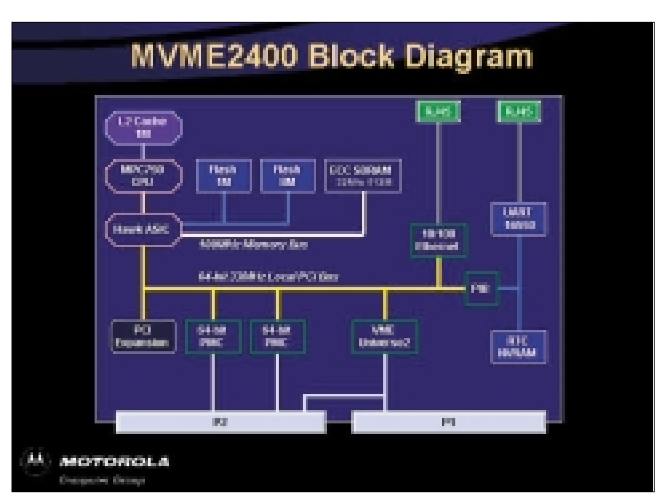


Bild 1: Blockschaltbild des MVME2400-Single-Board-Computers

Der Prozessor hat außerdem einen eingebauten L2-Cache-Controller mit dediziertem L2-Port zum Anschluss an externe Daten-SRAM-Bausteine. Über diesen Backside-L2-Port bietet der Einplatinencomputer MVME2400 einen 1 MByte großen zweifach assoziativen Sekundär-Cache. Diese Cache-Architektur bietet zahlreiche Vorteile gegenüber einem normalen Look-aside-Cache:

- Da es sich um eine Punkt-zu-Punkt-Schnittstelle handelt, ist eine wesentlich höhere Taktfrequenz möglich.

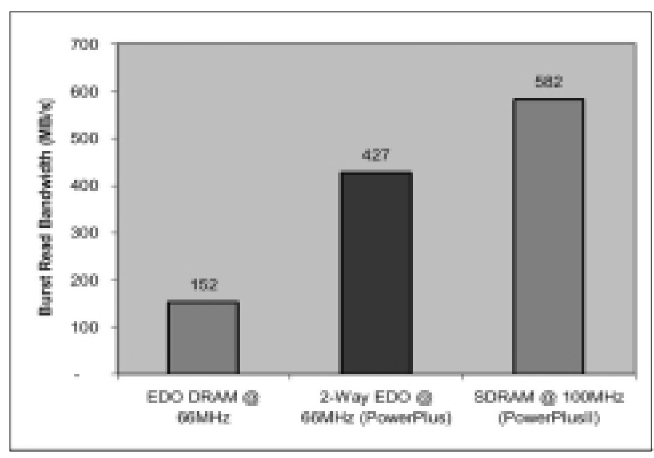


Bild 2: Vergleich der Speicherbandbreite

- Der Systembus kann mit höheren Geschwindigkeiten betrieben werden, da er nicht die zusätzlichen AC-Lasten des L2-Cache handhaben muss.
- Erfolgreiche Zugriffe auf den L2-Cache wirken sich nicht nachteilig auf die Speicherbandbreite aus, da sie sich nicht auf dem Systembus bemerkbar machen. Hierdurch können DMA-Transaktionen durchgeführt werden, während der Prozessor gleichzeitig Befehle aus dem L2-Cache ausführt.

Für den Fall, dass Cache-Zugriffe nicht erfolgreich sind, ist ein großer und extrem schneller Hauptspeicher wünschenswert. Motorola löste dieses Problem für den PowerPC in der PowerPlus-Architektur mit dem Falcon-Memory-Controller. Der Falcon-Chipsatz implementierte eine zwei-

fach Interleaved-Architektur zur Erzielung einer Speicherbandbreite von 427 MByte/s mit Standard-EDO-DRAM. Diese Leistung wird inklusive der Unterstützung der ECC-Speicher-Fehlerkorrektur erzielt. Der Einplatinenrechner MVME2400 bietet mit dem Hawk-ASIC eine noch höhere Speicherleistung. Mit 100 MHz bietet dieses SDRAM-Speichersystem eine dauerhafte mittlere Burst-Lesezugriffsleistung von 2 1/2-1-1-1, was einer Speicher-Lesebandbreite von 582 MByte/s entspricht. Die Bandbreite für Burst-Schreibzugriffe liegt bei etwas über 640 MByte/s. Diese Speicherleistung wird durch Nutzung der SDRAM-Multi-Bank-Architektur und der Adress-Pipeline des PowerPC-Prozessors erreicht. In vielen Anwendungen kann die Speicherbandbreite außerordentlich wichtig sein, da eine unendliche Größe des Cache-Speichers unrealistisch ist. Bild 3 zeigt die SPECint95- und SPECfp95-Benchmarks für verschiedene PowerPC-Produkte. Hierbei fällt auf, dass der MVME2304 ohne L2-Cache in SPECint95 fast ebenso schnell und in SPECfp95 wesentlich schneller als das System mit 1 MByte L2-Cache ist. Dies ist auf das wesentlich schnellere Speichersystem zurückzuführen. Erwartungsgemäß profitiert der MVME3604 sowohl vom L2-Cache als auch von der PowerPlus-Speicherarchitektur.

Neben der Optimierung der Cache- und Speicherbusse ist es auch sehr wichtig, die Systembusse im Hinbick auf maximale Systemleistung zu optimieren. Der PCI-Local-Bus ist der wichtigste Bus auf dem MVME2400-Board. Der Ethernet-Controller, der Universe2-VME64-Interface-Chip und die beiden PMC-Steckplätze befinden sich an diesem Bus. Während andere VME-Boards auf PowerPC-Basis immer noch lediglich 32-Bit-PCI-fähig sind, bietet Motorola mit seinem Raven-ASIC bereits seit 1996 eine 64-Bit-PCI-Fähigkeit an. Auf dem MVME2400 wird die PCI-Host-Bridge-Funktion durch den Hawk-

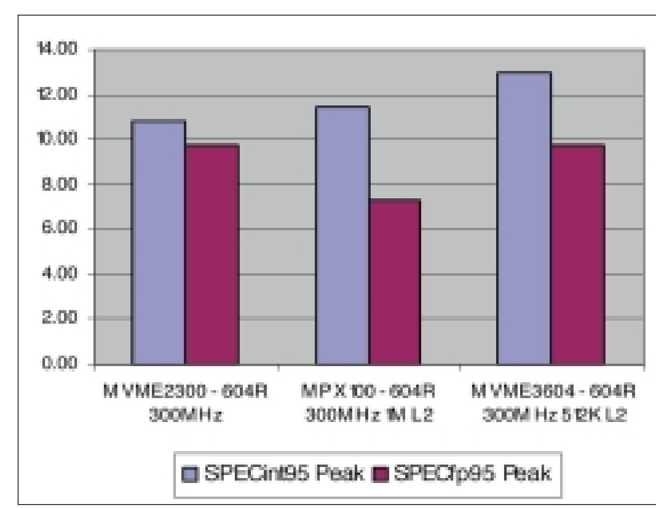


Bild 3: Vergleich der SPECint95- und SPECfp95-Benchmarks für verschiedene PowerPC-Produkte

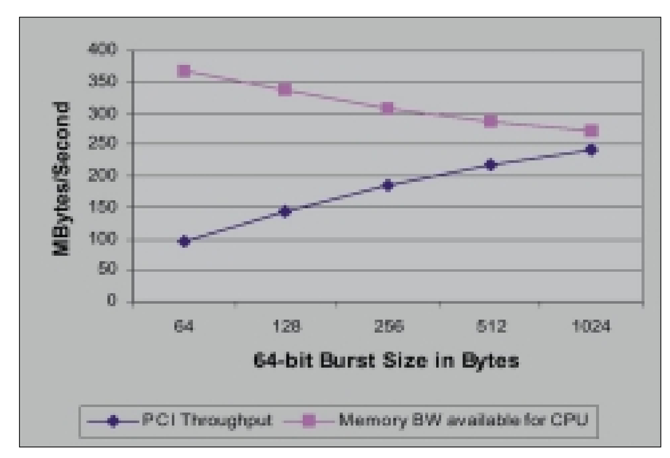


Bild 4: Burst-Effizienz für 64-Bit-PCI-Burst-Zugriffe

ASIC implementiert. Obwohl der Hawk-ASIC den PCI-Betrieb mit 66 MHz unterstützt, wird der 64-Bit-PCI-Bus des MVME2400 mit 33 MHz getaktet.

Während andere Chipsätze eine maximale PCI-zu-Speicher-Bandbreite von 70 MB/s aufweisen, unterstützt der mit 33 MHz getaktete, 64 Bit breite PCI Local Bus des MVME2400 den vollen PCI-Durchsatz von 264 MByte pro Sekunde. Dieser Durchsatz wird erzielt, ohne den verfügbaren Speicher für die CPU einzuschränken. Die PCI-Zugriffe auf den Speicher erfolgen vollständig entkoppelt über die großen Schreib- und Lesepuffer im Hawk-ASIC. Somit können Daten in jedem PCI-Takt geschrieben und gelesen werden, ohne den Prozessorzugriff auf den Speicherbus wesentlich einzuschränken. Bild 4 zeigt die Auswirkung der Burst-Größe auf den erzielten PCI-Durchsatz und die für den Prozessor verfügbare Speicherbandbreite für 64-Bit-PCI-Transfers auf dem MVME2400-Board. Hierbei ist zu beachten, dass selbst bei einer Burst-Größe von 1024 Byte der PCI-Durchsatz bei 250 MByte/s liegt, wobei für den Onboard-Prozessor weiterhin genügend Speicherbandbreite zur Verfügung steht. 64-Bit-PCI-Bausteine werden zwar immer gebräuchlicher, aber ein Großteil der Datentransfers auf dem PCI-Bus erfolgt nach wie vor im 32-Bit-Modus. Bild 5 zeigt die Auswirkung der Burst-Größe auf den erzielten PCI-Durchsatz und die für den Prozessor verfügbare Speicherbandbreite für 32-Bit-PCI-Transfers auf dem MVME2400-Board.

Bei der Optimierung des Durchsatzes müssen die Systementwickler jedoch auch ein angemessenes Verhältnis von Systemdurchsatz und Systemlatenzzeit anstreben. Je umfangreicher die PCI-Zugriffe sind, desto höher sind auch der Durchsatz und die Effizienz des Systems. Im gleichen Verhältnis erhöht sich jedoch auch die Latenzzeit des Systems. Dies spielt besonders für Echtzeitanwendungen eine wichtige Rolle. Der MVME2400 trägt mit einem extrem schnellen Speichersubsystem und durch die Schreib- und Lesepuffer des Hawks-ASIC zur Reduzierung der Latenzzeit bei. Bild 6 zeigt die erforderliche Zeit zur Abwicklung des Burst-Zugriffs für verschiedene Burst-Größen im 32-Bit- und 64-Bit-PCI-Modus. Beispielsweise werden bei 32-Bit-Transfers zur Abwicklung eines 256 Byte langen Burst-Zugriffs etwa zwei Mikrosekunden benötigt. Der gleiche Transfer würde im 64-Bit-Modus nur halb so lange dauern. Diese Burst-Größe kann ein guter Kompromiss zur Erzielung eines hohen PCI-Durchsatzes (über 100 MByte/s für 32-Bit-Transfers und nahezu 200 MByte/s für 64-Bit-Transfers) sein, ohne die Systemlatenzzeit unnötig zu verlängern. Natürlich müssen die Systementwickler dabei berücksichtigen, dass während der Systemlatenzzeit mehrere Burst-Transfers erfolgen können, bevor ein (Echtzeit-)Ereignis erkannt wird.

Der Einplatinencomputer MVME2400 ist mehr als nur ein neues VMEbus-Board mit PowerPC. Er bietet die neueste PowerPlusII-Architektur von Motorola Computersysteme auf der Basis des Hawk-ASIC sowie den neuesten PowerPC-Prozessor MPC750 mit einer Kern-Taktfrequenz von 350 MHz und einem mit 100 MHz getakteten Frontside-Bus. Mit einem L2-Cache von 1 MByte Größe erfüllt er die Anforderungen zahlreicher Anwendungen. Dieser Cache-Speicher wird ergänzt durch bis zu 256 MByte breitbandigem ECC-SDRAM. Echtzeitanwendungen können die effizienten 64-Bit-PCI-Transferfähigkeit optimal ausnutzen. Darüber hinaus lässt sich dank der beiden 64-Bit-PMC-Steckplätze mit dem MVME24000 SCB ein sehr leistungsfähiges System realisieren.

(Chau Pham, Motorola Computer Group)

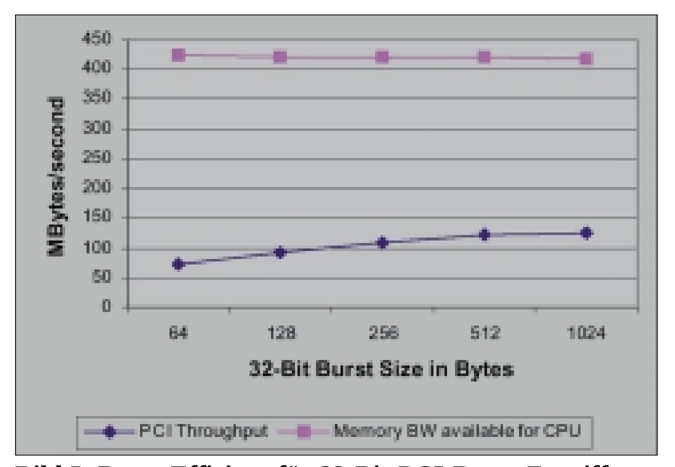


Bild 5: Burst-Effizienz für 32-Bit-PCI-Burst-Zugriffe

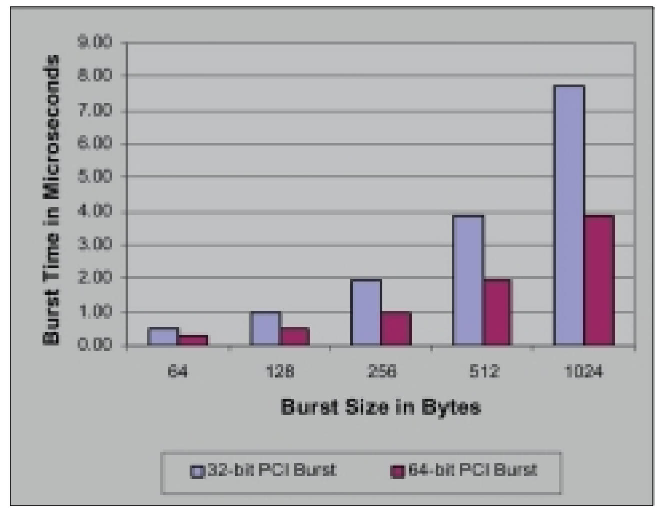


Bild 6: Verhältnis von Latenzzeit und Burst-Größe

Motorola Computer Group
Tel.: 06 11/3 61 10

Das Echtzeit-Betriebssystem TTPos

Zeitgesteuert und fehlertolerant

Aufgrund der steigenden Komplexität von Embedded-Systemen werden Eigenschaften wie Zusammensetzbarkeit, Zuverlässigkeit, Fehlertoleranz und Echtzeitverhalten immer wichtiger. Gleichzeitig verlangen Märkte mit großen Volumina erhebliche Reduktionen der Gesamtsystemkosten. Ereignisgesteuerte Lösungen können diesen Anforderungen in vielen Bereichen nicht gerecht werden. Das zeitgesteuerte Betriebssystem TTPos unterstützt die genannten Anforderungen, es kombiniert kleinen Speicherbedarf mit sehr schnellem Task-Switching. Es ermöglicht zeitgesteuertes, prioritätsbasiertes, kooperatives und präemptives Scheduling, Synchronisierung auf eine globale Zeit, Fehlererkennung und Verwaltung von Applikationsmodi. Der TTPos-Kernel wird durch das Design-Tool TTPbuild ergänzt. TTPbuild unterstützt das Design von Netzwerkknoten in TTP-Clustern. Aufbauend auf dem Knotendesign erzeugt es automatisch Task-Schedules, die Konfiguration des Betriebssystems sowie eine optimierte Fehlertoleranz- und Kommunikationsschicht.

Es gibt zwei grundlegend unterschiedliche Prinzipien, wie komplexe Aufgaben in verteilten Computersystemen in Echtzeit bewältigt werden: Zeitsteuerung und Ereignissteuerung. In einem zeitgesteuerten System werden alle Aktivitäten zu Zeitpunkten durchgeführt, die a priori bekannt sind. Dementsprechend haben alle beteiligten Knoten in zeitgesteuerten Systemen einen gemeinsamen Zeitbegriff, der auf synchronisierten Uhren basiert. In ereignisgesteuerten Systemen werden alle Aktivitäten als Antwort auf relevante Ereignisse außerhalb des Systems durchgeführt.

Das Time-Triggered-Protocol TTP ist eine Kommunikationstechnologie, die an der Technischen Universität in Wien entwickelt wurde. In einer Reihe von EU-Forschungsprojekten wurde TTP für den Einsatz in unterschiedlichen Anwendungsbereichen optimiert. Es adressiert die spezifischen Anforderungen von hochzuverlässigen Embedded-Systemen und integriert alle Services, die zur Implementierung von zusammensetzbaren und fehlertoleranten harten Echtzeitsystemen mit minimalem Aufwand benötigt werden. TTP garantiert nicht nur den zuverlässigen Datenaustausch in Echtzeit, sondern bietet auch zahlreiche High-Level-Services wie z.B. umfangreiche Fehlererkennungsmechanismen, verteilte fehlertolerante Uhrensynchronisation und einen konsistenten Membership-Service.

Für die Bewältigung von Steuerungsaufgaben in verteilten Systemen wurden bisher vorwiegend ereignisgesteuerte Lösungen eingesetzt. Die Vorteile einer zeitgesteuerten Architektur werden jedoch jetzt immer mehr erkannt:

- Zusammensetzbarkeit (Composability): Die verschiedenen Bestandteile eines Software-Systems können unabhängig voneinander entwickelt und erst in einem späten Stadium der Entwicklung integriert werden. Bei der Systemintegration ist sichergestellt, dass keine verborgenen Rückwirkungen bestehen, und dass alle zuvor auf Subsystemebene durchgeführten Tests gültig bleiben. Die reibungslose Integration der Bestandteile macht die ständig steigende Komplexität von Embedded-Systemen beherrschbar.
- Vorhersagbares Verhalten (Predictability): Das zeitliche Verhalten des Systems ist ausschließlich durch das Fortschreiten der Zeitbasis nach einem periodischen Muster bestimmt. Das Systemverhalten wird so vorhersehbar. Das vereinfacht die Systemvalidierung und Verifikation wesentlich.
- Diagnostizierbarkeit und Testbarkeit: Die Schnittstelle zwischen den einzelnen Komponenten ist nicht nur im Wertebereich, sondern auch im Zeitbereich exakt definiert und erlaubt damit das isolierte Testen jeder Komponente. Zudem gibt es beim Testen keinen Einfluss des Beobachters auf die Messergebnisse.
- Wiederverwendbarkeit der Komponenten (Reusability): In einer zeitgesteuerten verteilten Architektur ist die Verbindungslogik (Vernetzung und Kommunikation) zwischen den Systemkomponenten physikalisch von der Applikations-Software getrennt. Existierende Komponenten können deshalb in einem neuen Kontext ohne Änderungen der getesteten und verifizierten Applikations-Software wiederverwendet werden.
- Fehlertoleranz (Fault-Tolerance). Das replikadeterministische Verhalten der zeitgesteuerten Technologie unterstützt die Implementierung von fehlertoleranten Systemen durch aktive Redundanz. Dies ermöglicht die einfache Konstruktion von hochzuverlässigen Systemen. Damit kann Anwendungs-Software transparent, d.h. ohne Änderung, in nicht fehlertoleranten und in fehlertoleranten Systemen eingesetzt werden.

TTP unterstützt die Aufteilung eines großen Systems in eine Menge von autonomen Subsystemen mit kleinen und leicht testbaren Schnittstellen. So wird es möglich, große und komplexe Systeme aus unabhängig voneinander entwickelten Komponenten mit minimalem Aufwand zu integrieren. Anwendungsgebiete von TTP sind hochzuverlässige, harte Echtzeitsysteme wie zum Beispiel in der Automobilindustrie, Luft- und Raumfahrt, in Industriesteueranlagen, Gebäudesteuerungen, im öffentlichen Verkehr, in der Robotertechnologie und in medizinischen Geräten.

Ein großer Teil der Automobilindustrie hat TTP als Technologie der Wahl für Drive-by-wire-Anwendungen identifiziert. Entwickelt als COTS-Technologie (commercial-off-the-shelf) für große Stückzahlen, bietet TTP substanzielle Kostenvorteile gegenüber anwendungsspezifischen Lösungen. Motorola wird als erster Halbleiterhersteller vollintegrierte MCUs mit TTP/C an-

bieten. Ein Stand-alone-Kommunikationscontroller ist von AMS/TTTech verfügbar.

Um die Vorteile der zeitgesteuerten Architektur optimal zu nutzen, muss die Entwicklungsumgebung die präzise Spezifikation der zeitlichen und funktionalen Schnittstellen zwischen den Subsystemen unterstützen. Auf der Systemebene definiert der Systemintegrator (z.B. ein Automobilhersteller) die Funktionen der Subsysteme und spezifiziert präzise die Kommunikationsschnittstellen im Werte- und Zeitbereich. Auf Subsystemebene besitzt der Hersteller einer Komponente volle Entscheidungsfreiheit über das Hardware- und Software-Design, solange er die Schnittstellenanforderungen erfüllt.

Die Trennung der Zuständigkeiten, liegt dem zweistufigen Entwurfsprozess (Two-Level-Design-Framework) zugrunde. Daraus resultieren signifikanten Vorteile für alle beteiligten Partner: Die klare Definition der Verantwortlichkeiten vermeidet einerseits das “Übersehen” von notwendigen Funktionen und andererseits doppelten Aufwand und somit Gefahrenquellen, die zu höheren Kosten und widersprüchlichen Implementierungen führen. Diese Abgrenzung der Verantwortlichkeiten schränkt sowohl für den Systemintegrator als auch für den Subsystemlieferanten das Konfliktpotential ein und reduziert den Kommunikationsaufwand. Für den Subsystemlieferanten bietet der zweistufige Prozess einen hohen Grad von Unabhängigkeit. Der Lieferant ist uneingeschränkt in seinen Designentscheidungen, benötigt weniger Systemwissen und profitiert von deutlich weniger Anforderungsänderungen. Für den Systemintegrator bietet der zweistufige Prozess alle Vorteile der Zusammensetzbarkeit: Kosten, Zeitaufwand und Risiko der Systemintegration werden reduziert. Die Notwendigkeit für kostenintensiven Ersatz für zeitliche Zusammensetzbarkeit wird vermindert. Die kürzeren und besser abschätzbaren Entwicklungszeiten dieses Ansatzes ermöglichen ein deutlich verringertes Time-to-market.

Bild 1 zeigt die Software-Entwicklungsumgebung TTPtools von TTTech, die den dargestellten zweistufigen Entwicklungsprozess implementiert. Sie enthält ein Cluster-Design-Tool (TTPplan) und ein Monitoring Tool (TTPview) auf Systemebene sowie auf Knotenebene Werkzeuge für Daten-Download (TTPload) und zur Konfiguration von Fehlertoleranzschicht und Betriebssystem (TTPbuild).

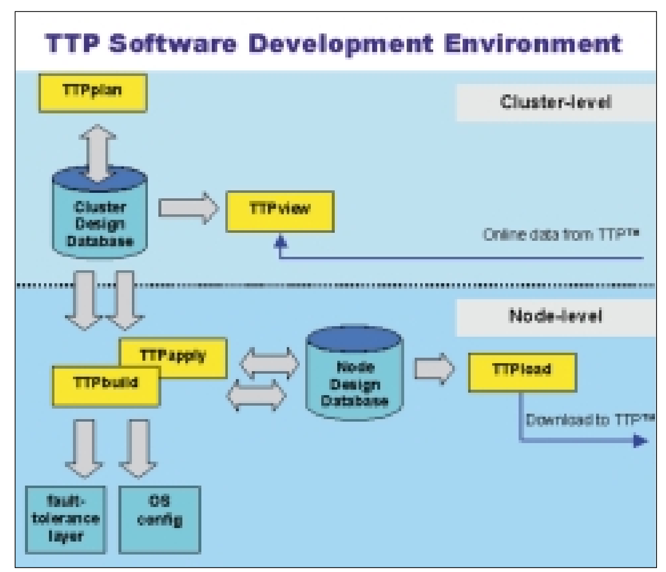


Bild 1: TTP-Software-Entwicklungsumgebung (TTPtools)

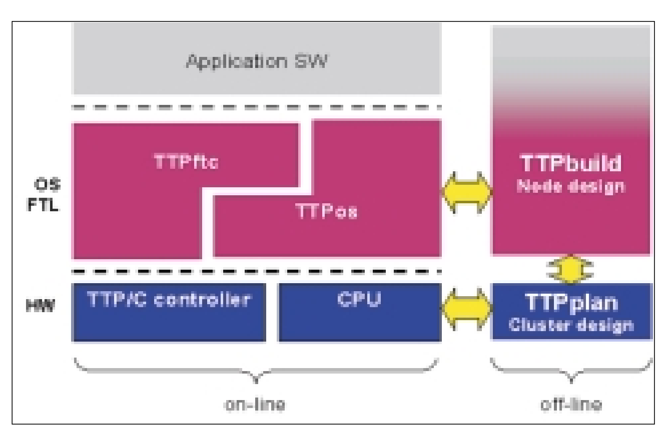


Bild 2: Das Schichtenmodell

Das Design von TTPos war bestimmt von den harten Anforderungen des stückzahlintensiven Automobilmarkts:

- Effizienz: Das Betriebssystem darf nur ein Minimum an RAM, ROM und CPU Rechenzeit beanspruchen.
- Robustheit: Das Betriebssystem muss nachprüfbar robust und fehlerfrei sein. Jeder Fehler im Betriebssystem kann zu enormem finanziellen Schäden führen.
- Unterstützung für fehlertolerante harte Echtzeitsysteme: Das Betriebssystem muss Fehlererkennung und Deadline-Überwachung unterstützen.
- Das Betriebssystem muss die Entwicklung von zusammensetzbarer, wartbarer und wiederverwendbarer Anwendungs-Software vollständig unterstützen.

Basierend auf diesen Anforderungen wurde die Funktionalität des Betriebssystems in die beiden folgenden Komponenten zerlegt:

- Den Laufzeit-Kernel TTPos (on-line) und
- die Design-Time-Komponente TTPbuild (off-line).

Das Schichtenmodell (Bild 2) zeigt diese Aufteilung der Funktionen deutlich.

- OS FTL: Betriebssystem und Fehlertoleranzschicht und
- TTPftc: TTP Fehlertoleranz- und Kommunikationsschicht.

Alle Funktionen, die off-line durchgeführt werden können, sind aus dem Laufzeitkern herausgezogen und werden off-line durch das Knotendesign-Tool TTPbuild durchgeführt. Der Kernel selbst ist somit extrem schlank. Zusätzlich zu Aufgaben, die traditionellerweise vom Betriebssystemkern durchgeführt werden, optimiert TTPbuild auch die Anwendungs-Software durch Nutzung des globalen Systemwissens.

Die Hauptaufgabe jedes Betriebssystems ist die Aktivierung von Tasks. TTPos verwendet dazu eine prioritätsbasierte Scheduling-Strategie; sowohl präemptive als auch kooperative Aktivierung werden unterstützt. In TTPos ist die kleinste aktivierbare Einheit ein Task. Für jeden Task muss eine Deadline spezifiziert sein. TTPos überwacht die Laufzeit jedes Tasks und überprüft, ob die Deadline eingehalten wird. Aus Effizienzgründen erzwingt TTPos keine Deadline, sondern überprüft sie nur nach dem Beenden des Tasks. Um eine totale Blockade des Systems durch einen hochprioren

Task zu unterbinden, wird vom Betriebssystem ein Watchdog bereitgestellt. Dieser Watchdog muss periodisch durch einen niederprioren Task der Anwendungs-Software bedient werden. Wenn der Watchdog abläuft, startet TTPos das System neu. Um die Sicherheit des Betriebssystems zu erhöhen, führt TTPos eine zusätzliche Konsistenzüberprüfung durch. Jede Datenstruktur, die von TTPos verwendet wird, besitzt eine eindeutige 32 Bit lange Kennung. Jedes Mal, wenn eine Information aus einer Datenstruktur verwendet wird, wird diese Kennung überprüft. Wenn diese Kennung als defekt erkannt wird, startet TTPos das System neu.

TTPos unterstützt verschiedene Betriebsmodi. Jeder Betriebsmodus definiert eine spezifische Menge von Tasks, die nach einem vordefinierten Schema aktiviert werden. Wenn mehrere Betriebsmodi definiert sind, kann das zeitliche oder funktionale Verhalten des Systems durch Umschalten des Modus einfach verändert werden. Damit kann das System trotz Zeitsteuerung flexibel an unterschiedliche Betriebsarten angepasst werden.

TTPos ist das kleinste Betriebssystem der Welt, das harte Echtzeit und fehlertolerante Anwendungen unterstützt. Tabelle 1 zeigt den benötigten RAM-Speicher in Byte, den TTPos für typische Systeme mit einem einzelnen Betriebsmodus benötigt.

Prio.	Tasks	Laufzeitoptimiert Check [Bytes]	No Check [Bytes]	RAM optimiert Check [Bytes]	No Check [Bytes]
2	5	78	66	62	50
5	10	141	117	119	95
8	100	204	168	176	149

Prio.: Anzahl der Prioritätsebenen
Check: TTPos überprüft die Kennung der Datenstrukturen
No Check: TTPos überprüft keine Kennung der Datenstrukturen

Tabelle 1: RAM-Bedarf von TTPos in Bytes

Selbst bei einem relativ langsamen Motorola-CPU32-Rechner mit 33 MHz ist die Task-Umschaltzeit nur rund 20 µs. Dies schließt die komplette Latenzzeit des Zeit-Interrupts (zirka 10 µs) und die Laufzeit des Dispatchers (zirka 10 µs) ein.

TTPbuild ist das Design-Tool auf Knotenebene, das den TTPos-Kernel vervollständigt. Es unterstützt das Design von individuellen Knoten eines TTP/C2-Clusters. (Eine Tool-Variante für Stand-alone-Systeme die nicht mittels TTP in ein Netzwerk angebunden sind, ist ebenfalls verfügbar.) Der Entwickler der Anwendungs-Software spezifiziert einerseits das zeitliche Verhalten der Tasks am Knoten und andererseits die Nachrichten, die für die Kommunikation zwischen den Tasks benötigt werden. Basierend auf diesen Informationen führt TTPbuild folgende Aufgaben durch:

- Überprüfung der Konsistenz des Knotendesigns,
- Erzeugung eines Task-Aktivierungsschemas (Task Schedule),
- Erzeugung einer Fehlertoleranz- und Kommunikationsschicht (FTC-Layer) und
- Erzeugung der Betriebssystemkonfiguration für TTPos.

Der FTC-Layer trennt den TTP/C-Bus komplett von der Anwendungs-Software des Knotens. Für einen Task der Anwendungs-Software besteht kein Unterschied zwischen einer lokalen Message und einer Message, die am TTP/C-Bus übertragen wird. Das bedeutet, dass die Verteilung von Tasks innerhalb eines TTP/C-Clusters ohne Änderungen im Sourcecode des Anwendungs-Tasks erfolgen kann – nur der FTC-Generator von TTPbuild muß einen neuen FTC-Layer erzeugen, und durch neuerliches Linken der Anwendung ist die Änderung vollzogen. Der FTC-Layer bietet alle Dienste, die für die Integration und die Re-Integration von Knoten in den Cluster, für die Behandlung von Nachrichten und für den Membership-Service auf Applikationsebene erforderlich sind.

Die Behandlung von Messages im FTC bietet das Ein- und Auspacken von Nachrichten aus und in TTP/C-Frames, die Behandlung von Bit-Messages, das Management von Replikation und Redundanz, replikadeterministisches Agreement von replizierten Nachrichten, Vertauschen von Bytes, um unterschiedliche Byte-Reihenfolge zwischen verschiedenen Knoten zu ermöglichen, die notwendige Synchronisation zwischen dem Knoten und dem zugehörigen TTP/C-Controller und die Behandlung von Sender- und Empfängerstatus jeder Nachricht.

TTPbuild benützt Entwurfsinformationen aus der Cluster- und Knotenebene, um den FTC-Layer zu optimieren. Da das zeitliche Verhalten von Nachrichtenübertragung und Aktivierung von Tasks statisch bekannt ist, kann TTPbuild die minimale Anzahl von Tasks zur Behandlung der Übertragung erzeugen und vermeidet das Bearbeiten von Nachrichten, die von einem Knoten nicht benötigt werden.

TTPos ist ein extrem effizientes Betriebssystem für harte Echtzeitsysteme. Seine Merkmale decken die Anforderungen von hochzuverlässigen und fehlertoleranten Echtzeitanwendungen ab. Mit der angebotenen Tool-Unterstützung (TTPbuild) sind Entwickler in der Lage, kosteneffiziente Implementierungen mit minimaler Time-to-market zu realisieren.

(Christian Tanzer,
Martin Glück,
Manfred Pisecky, TTTech)

Das Unternehmen

TTTech wurde im Januar 1998 als Spin-off der Technischen Universität Wien und von zwei großen EU-Forschungsprojekten gegründet. Anfang 1999 hat TTTech eine Technologieallianz mit Motorola, dem weltweit führenden Hersteller von Embedded-Prozessoren, geschlossen. Motorola implementiert TTP/C-Controller und nominiert TTTech als Preferred Development Tool Supplier. Basierend auf dem derzeit verfügbaren TTP/C-Communication-Controller (TTPchip) bietet TTTech Hardware-Produkte an, die für Evaluierung, Training und Prototyping verwendet werden. Für Design, Implementierung und Analyse von TTP-Systemen steht eine komplette Software-Entwicklungsumgebung von TTTech zur Verfügung. Das Produktangebot wird durch ein umfangreiches Serviceangebot (Training, Support, Auftragsentwicklung,...) ergänzt.

Literatur

H. Kopetz. Real-Time Systems: Design Principles for Distributed Embedded Applications. Kluwer Academic Publishers. 1997. ISBN 0-7923-9894-7.

S. Poledna and G. Kroiss: The Time-Triggered Communication Protocol TTP (tm)/C. Real-Time Magazine 98-4.

TTTech
Tel.:
00 43/158 53 43 40

VME auf hoher See

Schiffshubschrauber unter VMEbus-Obhut

Die VMEbus-Systeme von MEN (Mikro Elektronik GmbH, Nürnberg) waren bisher schon unter ungewöhnlichen Umgebungsbedingungen im Einsatz. Jetzt werden auch Hubschrauber bei Wind und Wetter auf hoher See der Obhut von VMEbus-Systemen von MEN anvertraut. Dafür erhielt dieser Hersteller als bisher einziger VMEbus-Hersteller das "Type Approval Certificate" des Germanischen Lloyd (GL).

Die Bordhubschrauber-Verbringungsanlage (BHS-VA) von MBB-FHS erfüllt eine Vielzahl von besonderen Aufgaben, die der tägliche Einsatz auf See erfordert. Dazu gehört die Handhabung von Bordhubschraubern auf dem Flugdeck von Kriegsschiffen. Das System übernimmt dabei die Sicherung des Hubschraubers von der Landung bis zum Start. Nur eine Person ist notwendig, um computerunterstützt die Manöver mit hydraulisch-teleskopierenden Manipulatorarmen durchzuführen, die nach der Landung zum Verfahren des Hubschraubers in den Hangar und zurück in die Startposition notwendig sind. Dazu wird der Helikopter nach der Landung durch die Fangvorrichtung bzw. die hydraulischen Greifarme mechanisch gesichert und bleibt dies auch während des gesamten Transports. Bei älteren Typen von Hubschraubern wird jedoch eine Zusatzkraft für das Ein- und Entfalten der Rotorblätter benötigt. Das System ist sogar in der Lage, einen Hubschrauber zu greifen, der außerhalb der vorgegebenen Fläche gelandet ist. Diese Aufgaben werden selbst bei Windstärke 6 und entsprechendem Seegang durch die BHS-VA erfüllt.

VMEbus steuert sicher

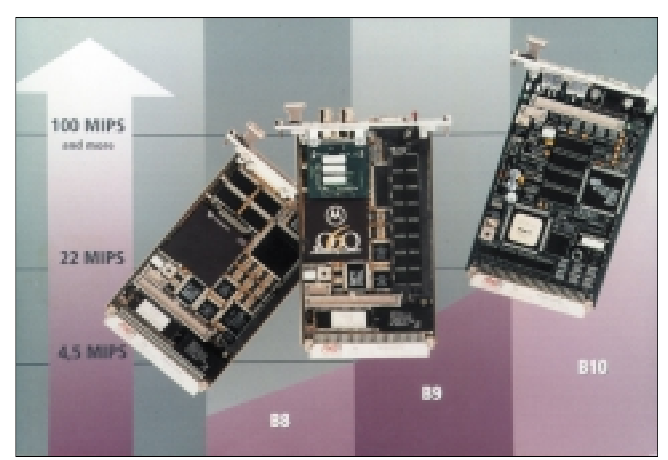


Bild 1: Vergleich der Leistung verschiedener VMEbus-Produkte von MEN

Die neueste Generation der halbautomatischen Verbringungsanlage für Schiffe (von MBB-FHS) erlaubt die Absicherung von Hubschraubern bei allen Schiffsmanövern innerhalb von 25 bis 60 Sekunden nach der Landung. Innerhalb von fünf Minuten ist der Hubschrauber im Hangar. Das Videosystem findet den Hubschrauber durch Suche von Markierungen, die an den Rädern des Helikopters angebracht sind.

Die Greifarme halten den Hubschrauber auf der schwankenden Schiffsplattform fest und sicher. Die Zeit für den Transport vom Hangar bis zum Start des Hubschraubers beträgt nur 90 Sekunden. Gestartet wird direkt vom Transportmodul. Für die Bewegungen der BHS-VA ist keine Vorlaufphase notwendig. Das VMEbus-gesteuerte System von MEN gewährleistet immer eine sorgfältige und genaue Positionierung des Hubschraubers.

Durch den halbautomatischen Ein-Mann-Betrieb mit einem portablen Bedienfeld ist es nicht nötig, dass sich eine Person im Gefahrenbereich des Hubschraubers aufhalten muss. Das gilt auch bei einer Landung mit einer Abweichung von bis zu 45 Grad von der Mittellinie des Schiffs. Das modular aufgebaute System erlaubt eine einfache Handhabung bei nur kurzen Anlernzeiten und geringen Unterhaltskosten. Die Überwachung der Betriebssicherheit und -bereitschaft wird durch das eingebaute, automatische Selbsttestsystem gewährleistet. Die Veränderungen am Hubschrauber sind minimal. Es wird ein passives System in den Achsen der Fahrwerksräder installiert. Das System ist als Standard für alle Hubschraubertypen mit (Rad-) Fahrwerk mit einem Gesamtgewicht bis zu 12,5 t geeignet. Es lässt sich auch für den Start und für die Wiederaufnahme von Aufklärungsdrohnen sowie für den Waffentransport zum Hubschrauber einsetzen.

Das von MBB, ESM und MEN konzipierte System besteht nur aus Standardkomponenten. Beim Hauptsystem sind das ein kompaktes 3-HE-VMEbus-System mit einer VMEbus-CPU-Karte mit Doppelprozessorsystem, drei Trägerkarten für M-Module mit analogen und digitalen Signalein- und -ausgängen sowie zwei Profibusanschlüsse für die Detektoren und verschiedene Sensoren. Das Echtzeitbetriebssystem OS-9 ist ein schon besonders lange eingeführtes und erprobtes Echtzeitbetriebssystem, für das MEN die jeweils aktuellen BSPs (Board Support Packages) liefert. Die Laserscanner bestehen ebenfalls aus 3-HE-VMEbus-Systemen von MEN mit Doppelprozessor-CPU-Karte, einer M-Modul-Trägerkarte sowie digitalen und analogen Anschlüssen mit DSP-Prozessor und Profibusanschluss. Die VMEbus-Systeme arbeiten im erweiterten Temperaturbereich E2 (-40 °C bis +85 °C). Das ist für VMEbus-Systeme inzwischen fast zum Standard geworden.

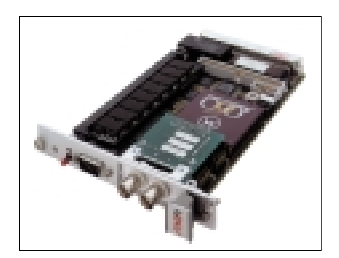


Bild 2: Das VMEbus-Board B10 von MEN

Die Projektierung begann im August 1997 nach einer Anfrage von MBB-FHS bei MEN. Nach Überprüfung der Anforderungen in der Ausschreibung konnte MEN die gewünschten Eigenschaften zusagen und inner-



Bild 3: Auf einer solchen Fregatte (hier Modell) werden die VME-bus-Boards eingesetzt

halb von eineinhalb Wochen einen Vertrag mit MBB-FHS abschließen. Im Oktober wurde das System von MEN und MBB-FHS in Nürnberg aufgebaut und für die Abnahme durch die Experten der Marine vorbereitet. Die Typprüfung wurde im Februar 1998 erfolgreich abgeschlossen.

Danach hatte MBB-FHS auf dem eigenen Betriebsgelände in Delmenhorst eine komplette Verbringungsanlage aufgebaut. Jetzt werden die Neubaufregatten der Deutschen Marine vom Typ F124 in den Jahren 2000 bis 2003 damit ausgerüstet. Aufträge für die Ausrüstung der neuen Einsatzgruppenversorger Typ 702 in den Jahren 1999 und 2001 wurden ebenfalls an MBB-FHS vergeben. MBB-FHS sieht aufgrund der vielen Vorteile des Systems große Marktchancen für die neue Technologie.

MEN hat diesen Auftrag »an Land gezogen«, weil in kürzester Zeit ein System entsprechend den Anforderungen projektiert werden konnte. Da die Software von MBB-FHS selbst erstellt werden sollte, war eine intensive Software-Unterstützung seitens MEN gefordert, ebenso wie die Erstellung von Test-Software und die Integrationsunterstützung. Qualität und Unterstützung durch MEN waren ausschlaggebend für die Zulassung als baumustergeprüftes Produkt und für die Aufnahme in das Register des Germanischen Lloyd.

Ein für die lange Einführungs- und Betriebsdauer konzipiertes zuverlässiges System muss unter Verwendung von möglichst vielen Normteilen und Komponenten nach offenen Standards konfiguriert werden. In der BHS-VA von MBB-FHS werden daher für die Hardware 3-HE-VMEbus-Karten (mehrere ANSI/VITA-Normen), M-Module (ANSI/VITA 12), Baugruppenträger (mehrere IEEE-1011-Normen) sowie Profibuskomponenten (DIN EN 50170) eingesetzt. Die für die VMEbus-Karten und Baugruppenträger eingesetzten Steckverbinder entsprechen DIN- und IEEE-Normen. Normierte Software gibt es nicht. Als Betriebssystem bei diesem Projekt wird OS-9 von MicroWare eingesetzt. Dieses Echtzeitbetriebssystem ist besonders weit verbreitet und durch langjährige Weiterentwicklung vielseitig und zuverlässig einsetzbar. MEN liefert die jeweiligen »Board Support Packages« (BSP) für die CPU-Karten als auch die speziellen Treiber für die E/A-Karten (M-Module) mit.

Die Funktion unter definierten Umgebungsbedin-

Impressum

Herausgeber: Eduard Heilmayr (he)
Chefredaktion: Wolfgang Patelay (pa), verantwortlich für den redaktionellen Inhalt (E-Mail: pa@systeme.awi.de)
Freie Mitarbeiter dieser Ausgabe: Jürgen Höfling (ho)

So erreichen Sie die Redaktion: Bretonischer Ring 13, 85630 Grasbrunn, Tel. (0 89) 4 56 16-141, Telefax (0 89) 4 56 16-300

Manuskripteinsendungen: Manuskripte werden gerne von der Redaktion angenommen. Sie müssen frei sein von Rechten Dritter. Sollten sie auch an anderer Stelle zur Veröffentlichung oder gewerblichen Nutzung angeboten worden sein, muß das angegeben werden. Mit der Einsendung gibt der Verfasser die Zustimmung zum Abdruck in den von der AWi Aktuelles Wissen Verlag GmbH herausgegebenen Publikationen. Honorare nach Vereinbarung. Für unverlangt eingesandte Manuskripte wird keine Haftung übernommen.

Titelgestaltung: AWi-Verlag
Titelbild: Altera
Layout, Produktion: Hans Fischer, Michael Szonell, Edmund Krause (Ltg.)

Anzeigenverkauf: Marketing Services, Brigitte Seipt, Tel. (089) 30 65 77 99, E-Mail: bseipt@aol.com
Anzeigenverwaltung: Gabriele Fischböck, Tel. (0 89) 4 56 16-262
Anzeigendisposition: Sandra Pablitschko, Tel. (0 89) 4 56 16-108
Anzeigenpreise: Es gilt die Preisliste Nr. 13 vom 1.1.2000

Erscheinungsweise: monatlich, 12 Ausgaben im Jahr

Zahlungsmöglichkeiten für Abonnenten: Bayerische Vereinsbank München, BLZ 700 202 70, Konto: 32 248 594; Postgiro München, BLZ 700 100 80, Konto: 537 040-801

Bezugspreise: Das Einzelheft kostet DM 14,-. Der Abonnement-Preis beträgt im Inland DM 148,- pro Jahr für 12 Ausgaben.
Darin enthalten sind die gesetzliche Mehrwertsteuer und Zustellgebühren. Der Abonnement-Preis erhöht sich für die Zustellung im Ausland auf DM 174,-.

Abonnement-Bestell-Service und Adreßänderungen: Vertriebsservice Systeme, Edith Winklmaier, Herzog-Otto-Str. 42, 83308 Trostberg, Tel. 0 86 21/64 58 41, Fax 08621/62786

Abonnement-Bestell-Service Schweiz, THALI AG HITZKIRCH, Aboservice, 6285 Hitzkirch, Tel. 0 41/9 17 28 30, Fax 0 41/9 17 28 85, E-Mail: abo@thaliag.ch. Jahresabonnement sFr. 148,-

Druck: Druckerei Friedrich VDV, Zamenhofstrasse 43-45, A-4020 Linz

Sonderdruckservice: Alle Beiträge in dieser Ausgabe sind als Sonderdrucke erhältlich. Anfragen richten Sie bitte an Edmund Krause, Tel. (0 8 9) 4 56 16-240 oder Alfred Neudert, Tel. (089) 4 56 16-146, Fax (089) 4 56 16-250.

Geschäftsführer: Eduard Heilmayr

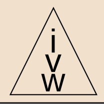
Anzeigenverkaufsleitung AWi-Verlag: Cornelia Jacobi, Tel. (089) 71 94 00 03, E-Mail: cj@awigl.awi.de

Anschrift des Verlages: AWi Aktuelles Wissen Verlagsgesellschaft mbH, Bretonischer Ring 13, D-85630 Grasbrunn, www.systeme-online.de

ISSN 0943-4941

Diese Zeitschrift wird mit chlorfreiem Papier hergestellt.

Mitglied der Informationsgemeinschaft zur Feststellung der Verbreitung von Werbeträgern e.V. (IVW). Bad Godesberg



Bezeichnung	Prozessor/Parameter/Funktion	Verwendung
Steuerrechner		**Zentralstation mit Bedienterminal**
B10	MC68060/50MHz (>100 MIPS) & MC68360/ 25 MHz, VME-Slot-1-Funktionalität (VIC068), 32 MB DRAM, 8 MB Flash, 2 MB SRAM, vier Timer, Temperaturüberwachung, zwei SMC UARTs, zwei SCC intelligente serielle Schnittstellen, Ethernet, SCSI-2	Multiprozessor-CPU als VMEbus-Master und Kommunikationssystem
B202	A24/A16, D16/D08 (E/O), D08 (O) Interrupt	3 x VMEbus-Trägerkarte für zwei M-Module
M17	MC68302, 3 x SIO (full-duplex RS232 oder RS422/485), 256 KB DRAM, 2 KB bidirektionales FIFO, 512 KB EPROM, FastSCC-Treiber	Anschluss für mobiles Bedienpult
M22	je acht Kanäle dig. Ausgabe, galv. getrennt, 12 bis 32 V mit 2 A Load je Kanal, Interrupt-Erkennung je Kanal, Überlastschutz und Leitungsbrucherkennung	digitale Mess- & Steueranschlüsse
M35	je acht Kanäle diff. Eingabe, galv. getrennt, 14 Bit, 10 µs, Autoinkrement der Kanal-nummern, uni-/bipolare Software-Auswahl, externes Triggering	analoge Messwerte
M57	MC68331, PROFIBUS DP Master RS485, RS232, 1 MB DRAM, 12 MBit/s Daten-transferrate, bis 127 aktive oder passive Stationen, galv. getrennt	Anschluss der Detektoren & Sensoren
Bildverarbeitung		
B9L	Wie B10, jedoch mit 68040V/50MHz anstelle 68060/50MHz	Multiprozessor-CPU als VMEbus-Master und Kommunikationssystem
B202	A24/A16, D16/D08 (E/O), D08 (O) Interrupt	1 x VMEbus-Trägerkarte für zwei M-Module
M59	vier diff. analoge Eingänge (AC/DC), 16 Bit, 10 µs, simultanes Sampling mit 100kHz, ±1,25 V bis ±10 V, 2 DSPs à 32 MIPS und à 80 KB, galv. getrennt	Vorverarbeitung von Daten
M66	je 32 Kanäle dig. Ein- und/oder Ausgabe, 0 bis 32 V ein, 12 bis 32 V aus (max. 500 mA je Kanal), 16 A Schaltleistung je M66, galv. getrennt	digitale Mess- & Steueranschlüsse

Tabelle der verwendeten Systemkomponenten

gungen sowie die Übereinstimmung mit gesetzlichen Bestimmungen werden nach anerkannten Kriterien und Normen geprüft und zertifiziert. Alle VMEbus-Karten sind sind nach UL 94V-0 (Flammability), IEC 1000-4-2 (ESD), IEC 1000-4-4 (burst EMI) und CE gebaut bzw. geprüft. Sie arbeiten im erweiterten Temperaturbereich E2 (-40 °C bis +85 °C). Stoß und Vibration, Feuchtigkeitsverhalten und andere Umweltparameter werden nach den Vorschriften der IEC-68-Normreihe getestet. Für diese besondere Anwendung wurde das System zusätzlich nach den strengen Vorschriften des Germanischen Lloyd zertifiziert. Neben den genannten Prüfungskriterien verlangt der Germanische Lloyd weitere Prüfungen, z.B. bei Energieausfall und -schwankungen, Stoßspannungen am Netzteil, feuchter Wärme, Salznebel sowie Isolationswiderstandsmessungen. Diese Prüfungen werden zum Teil nach eigenen Vorschriften oder verschärften Bestimmungen der IEC-68-Normreihe durchgeführt. Nach dem erfolgreichen Abschluss der Prüfungen durch den Germanischen Lloyd erhielt das 3-HE-VMEbus-System von MEN das Prüfzertifikat 13873-99 HH, das für fünf Jahre bis zum 30. Oktober 2004 gültig ist.

MEN ist als Hersteller nach ISO 9001 zertifiziert. Als Mitglied der Organisationen CiA, MUMM, PICMG und VITA arbeitet man aktiv an der Erstellung von Industriestandards mit. Die Firma entwickelt und produziert Komponenten nach diesen und anderen anerkannten Standards.

Beide Systeme sind jeweils in einem 3-HE-Baugruppenträger mit einem für erhöhte Umweltanforderungen ausgerüsteten Netzteil von Melcher untergebracht. Im Laserscanner-System ist noch eine Profibuskarte eines anderen Herstellers eingebaut. Die Systemintegration wurde von ESM durchgeführt.

(Hermann Strass)

MEN
Tel.: 0911/99 33 50

Messdatenauswertung für OEMs

Die Software macht's

Welcher Hersteller von Meßtechnik-Hardware möchte nicht ein professionelles Software-Paket mit seinen Geräten ausliefern. Eine Eigenentwicklung kommt für viele jedoch nicht in Frage – zu hoch ist der Aufwand, eine derartige Software zu erstellen. Bei fertigen Software-Paketen steht der OEM oftmals jedoch vor hohen Kosten für die Einzellizenz – und dabei ist die Einbindung seiner Hardware in das Software-System noch gar nicht berücksichtigt. Diese Lücke schließt Geßler Electronic mit ihrer Software PMess4Win. Hierbei handelt es sich um ein Mess- und Analyseprogramm für Windows 3.1x, Windows 95 und Windows 98, das sich durch einfache Bedienbarkeit und ein günstiges Preis-/Leistungs-Verhältnis auszeichnet.

Entscheidend für die Akzeptanz einer Software sind heutzutage Bedienkomfort und intuitive Bedienbarkeit. Ferner ist eine komfortable und detaillierte Auswertung aller erfassten Messdaten immer deutlicher gefragt. Wozu erfasst man sonst stundenlang Labordaten, wenn man schließlich doch nur eine grobe Kurve auf dem Bildschirm hat, deren exakte Werte kaum ablesbar sind? Diesen Bedürfnissen kommt PMess4Win entgegen: Zum einen erfordert es aufgrund seines wohldurchdachten und überschaubaren Funktionsumfangs und seiner intuitiven Bedienung – wenn überhaupt – eine sehr kurze Einarbeitungszeit, auf der anderen Seite bietet es aber alle Funktionen, die von einer Auswertungs-Software erwartet werden.

Bei der Erfassung können die Messwerte entweder über Messhardware oder über die frei konfigurierbare Ladefunktion aus Dateien verschiedenster Typen erfolgen, z.B. ASCII- oder Binärdateien. Viele OEMs liefern zu ihrer Hardware einfache Steuer-Software aus, die mit dem Messgerät in Kommunikation tritt und dann erfasste Messwerte in ASCII-Dateien speichert. Durch die Möglichkeit, Formate von Benutzerdateien frei zu definieren, können gerade derartige Dateien von PMess4Win problemlos importiert werden. Durch so genannte Header-Steuersequenzen können sogar noch weitergehende Informationen verarbeitet werden, so z.B. für automatische Beschriftung und Skalierung

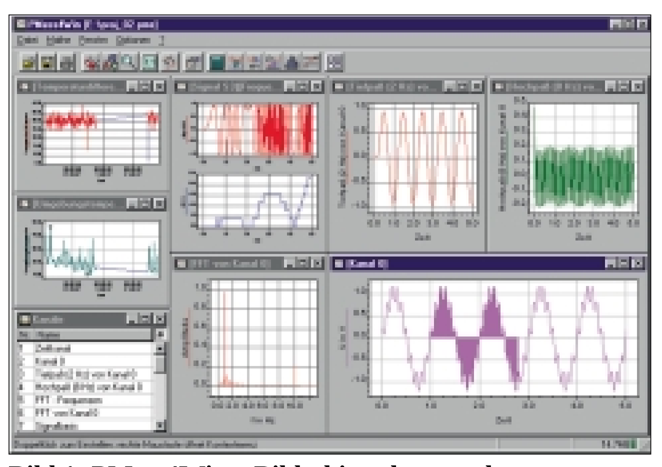


Bild 1: PMess4Win – Bildschimschnappschuss

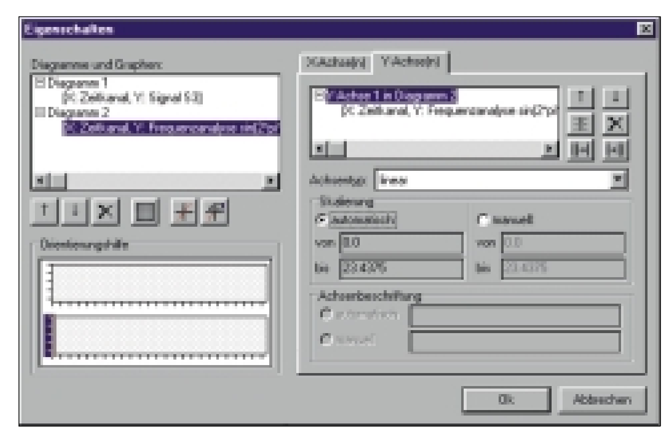


Bild 2: Komfortable Diagrammdefinition

Messwerte direkt erfassen

der Graphen. Die Erfassung von Messwerten direkt mittels Hardware – z.B. über die RS232-Schnittstelle – erfolgt über sogenannte Plug-ins, auf die später noch näher eingegangen wird.

PMess4Win basiert auf wenigen wohldefinierten Funktionsblöcken, die sehr effektiv zusammenarbeiten. Die Messdaten werden im so genannten Kanalspeicher verwaltet. Alle Messdaten, die aus Dateien geladen oder durch Mess-Hardware erfasst werden, gelangen zunächst in den Kanalspeicher, der die Grundlage der Datenverwaltung darstellt. Hierbei verfügt die Software über eine virtuelle Speicherverwaltung mit bis zu 16.384 Kanälen und maximal 226 Messwerten pro Kanal (entspricht ca. 0,5 GB Daten), begrenzt durch die maximal mögliche Größe der Auslagerungsdatei auf der PC-Festplatte.

Im Kanalfenster sind alle Messkanäle, die sich gerade im Speicher befinden, verzeichnet. Hieraus kann der aktuell gewählte Messkanal gewählt und geöffnet werden, wobei wahlweise auf die grafische Darstellung der Messkurve oder die nummerische Auflistung der Meßwerte eines Kanals zurückgegriffen werden kann.

Durch einen Doppelklick kann jedes Graphenfenster leicht parametriert werden. Zur Wahl stehen verschiedene Achsentypen (linear, logarithmisch, zeitskaliert) bei freier Zuordnung von Kanälen zu X- und Y-Achsen. Auch die Skalierung mehrerer Kanäle über eine Achse stellt kein Problem dar.

Mittels Markern können die einzelnen Messwerte am Bildschirm gekennzeichnet werden, ebenso kann die Anzeige von Überläufen oder No-Value-Werten konfiguriert werden. Eine Ablese- und Zoomfunktion steht ebenfalls zur Verfügung. Eine Ausschneidefunktion schneidet den Bereich zwischen zwei Cursor-Marken aus und legt diesen in einem neuen Fenster ab. Abgerundet wird die Darstellung durch eine Beschriftungsfunkion, mit der die Messkurven nahezu beliebig beschriftet werden können, da Textgröße, Stil und Rota-

tionswinkel frei wählbar sind.

Die Druckfunktionen von PMess4Win reichen vom Bildschirmschnappschuss bis hin zu mehrspaltigen Messwerttabellen. Von einzelnen Graphenfenstern kann man die Messwertkurve ohne oder mit ihrer kompletten Statistik ausdrucken. Auch eventuell vorgegebene Toleranzgrenzen können hier berücksichtigt werden und sind in tabellarischer Form ausdruckbar. Eine Besonderheit ist der automatisch formatierte Ausdruck mehrerer Graphenfenster auf einem Blatt Papier, der für ein perfektes Layout ohne manuelles Zutun sorgt. Grundlage aller Druckfunktionen sind frei definierbare Druckformatvorlagen, über die auch Firmenlogos usw. eingebunden werden können.

Der Im- und Export von Daten ist unter PMess4Win ebenfalls möglich. Grafiken können exportiert werden, Messdaten können so gespeichert werden, dass sie zur Weiterverarbeitung mit Tabellenkalkulationen zur Verfügung stehen.

Ganz wesentlich für die Auswertung der Messwerte sind die vom Programm angebotenen Berechnungsfunktionen. Neben der Uni-Mathe-Funktion, die einen Taschenrechner zum universellen Rechnen bereithält, mit dem die einzelnen Kanäle den verschiedensten mathematischen Verknüpfungen unterworfen werden können, stehen Standard- und Polynomberechnungen zur Verfügung.

Vielfältige Auswertungen

Weitere Mathematikfunktionen sind die Signalanalyse mit der IIR-Filterung, der FFT- und Frequenzanalyse sowie die Integral- und Differentialfunktionen und die Statistikfunktionen. Letztere erlauben u.a. die Berechnung statistischer Kenngrößen wie Mittelwert, quadratischer Mittelwert, Standardabweichung u.a. Daneben lassen sich Regressionskurven berechnen, wobei Polynomregressionen und lineare Regressionen mit verschiedenen Ansätzen möglich sind.

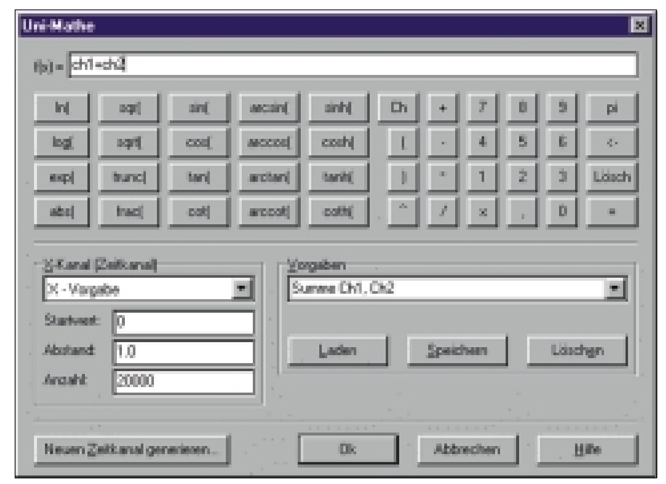


Bild 3: Uni-Mathe

Wie man es von einer Software erwartet, die als Beigabe zu einem anderen Produkt verkauft wird, so ist PMess4Win genügsam, was die Hardware-Anforderungen betrifft. Als Betriebssystem wird Windows Version 3.1x, Windows 95 oder Windows 98 erwartet. Die Software wird auf zwei Disketten ausgeliefert und verfügt wie unter Windows üblich – über ein halbautomatisches Installationsprogramm mit Uninstall-Option.

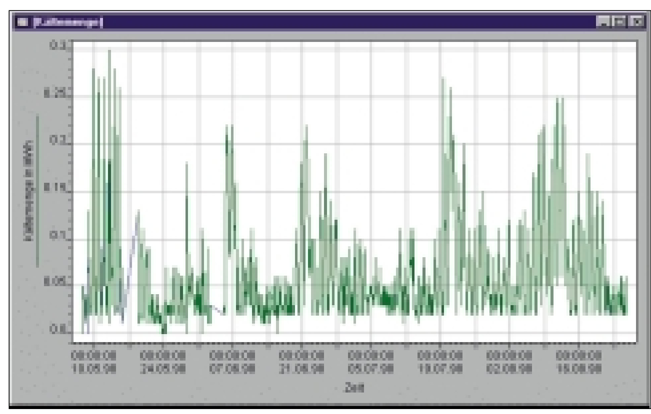


Bild 4: Langzeitmessung mit Resynchronisation der Uhr

Soll PMess4Win für die Erfassung von Messwerten direkt verwendet werden, so werden spezielle Plug-ins benötigt. An dieser Stelle setzt der Service des Herstellers ein. Jeder OEM kann sich zu seiner Hardware ein Plug-in erstellen lassen. Zum Vertrieb der Messtechnik-Software mit der Hardware fallen dann nur noch Lizenzgebühren für das Hauptprogramm an. Dabei übernimmt Geßler Electronic das Erstellen von Diskettensätzen und der Handbücher. Zu beachten ist, dass jede lizenzierte Kopie automatisch am Update-Programm teilnimmt. Dabei können in regelmäßigen Abständen aktualisierte und weiterentwickelte Versionen der Software bezogen werden – auch per Download via Internet, ohne dass sich der OEM damit befassen müsste. Die besonders preiswerte Light-Version von PMess4Win ist in einigen Funktionen gegenüber der Vollversion eingeschränkt. Die meisten vorkommenden Mess- und Analysefunktionen für die tägliche Praxis sind jedoch vorhanden, lediglich einige komplexe Filterfunktionen, die Fast-Fourier-Transformation (FFT) und komplexe Statistikfunktionen sind ausschließlich der Vollversion vorbehalten.

Mit PMess4Win steht dem OEM ein bewährtes Software-System zur Verfügung, das gegenwärtig z.B. bei der Auswertung von Kraftwerksdaten, zur Steuerung von Akku-Lade-Messgeräten oder einfach zum Betrieb von RS232-Mess-Interfaces eingesetzt wird. Eine Demoversion von PMess4Win ist unter http://www.gessler-electronic.de erhältlich.

(Clemens Schäfer, Gessler Electronic)

Applikation: Laserbearbeitungsmaschinen

Mit VMEbus-Steuerung immer up to date

Die Lasersysteme der zur Trumpf-Gruppe gehörenden Firma Haas Laser erlauben Teleservice im großen Stil: Über 500 Messwerte in den Lasergeräten lassen sich aus der Ferne abfragen. Grundstock der notwendigen Datenakquise in den Geräten bildet eine VMEbus-Steuerung.

Den Grundstein für die Steuerungstechnik der heute produzierten Lasersysteme legte das Unternehmen Haas Laser schon im Jahre 1988: Damals fiel die Entscheidung, dass die Steuerungstechnik aus zwei Teilen bestehen sollte: Zum einen war dies eine Controller-Eigenentwicklung mit der Aufgabe, die Energieversorgung und die Kontrolle über die mechanischen Komponenten abzudecken. Für den zweiten Part – das Sammeln all der über die Controller generierten Daten und deren Weitergabe an Applikationen des Kunden – setzt Haas Laser eine VME-bus-Steuerung der Firma PEP Modular Computers ein.



Bild 1: Rainer Thieringer, Leiter der Software-Entwicklung: »Der VMEbus bietet uns auch in Zukunft genügend Spielraum, um neue Kundenanforderungen und Entwicklungen damit umsetzen zu können.«

Mit den selbstentwickelten Controllereinheiten hatte Haas Laser vor allem zum Ziel, möglichst viele Sensordaten aus dem Laser selbst, der Optik, der Kühlung, der Stromversorgung und aus den Schnittstellen der Maschinen zu generieren. Mit Hilfe der integrierten Sensoren werden über 500 Messwerte als absolute Größe ständig erfasst. Das heißt, die Firma hat sich davon gelöst, digitale Werte aufzunehmen und auszuwerten: »Über analoge Messwerte kann ein Problem nicht nur lokalisiert, sondern auch in seinem Ausmaß viel besser bewertet werden, als lediglich mit Ja-/Nein-Angaben«, unterstreicht Rainer Thieringer, der die Software-Entwicklung bei Haas-Laser leitet.

Bereits bei der Inbetriebnahme der Geräte im Mutterhaus in Schramberg spielen die generierten Messwerte eine wesentliche Rolle. Mittels eines speziellen Software-Werkzeugs Min-Tol (Minimale Toleranz) grenzen die Techniker das Toleranzfeld der 500 Messwerte um 30 Prozent ein. Thieringer: »Jedes Lasergerät muss unter diesen Bedingungen optimal funktionieren – und zwar ohne Warnungen und Fehlermeldungen.« Vor der Auslieferung wird das Toleranzfeld wieder auf 100 Prozent zurückgestellt, womit jedes Gerät bei Auslieferung also eine 30-prozentige Sicherheitszone aufweist. Die Haas-Laser-Techniker nutzen das Software-Werkzeug auch zur Ferndiagnose beim Anwender, wenn das Gerät Störungen aufweisen sollte. Per Modem haben die Spezialisten rund um die Uhr die Möglichkeit, in Sekundenschnelle beim Kunden das Lasersystem auch bei laufendem Betrieb unter die Lupe zu nehmen.

Eine wesentliche Rolle bei der schnellen und reibungslosen Datenübergabe spielt die VMEbus-Steuerung mit der VSBC-32 von PEP Modular Computers: Dieser Single-Board-Computer im 3HE-Format mit dem 32-Bit-Prozessor 68360 sammelt, verwaltet und filtert kontinuierlich die Daten, die die firmeneigenen Controller über die Sensoren generieren und dient damit als Schnittstelle sowohl zu den Applikationen der Kunden als auch zu dem Modem für die Ferndiagnose. Die Leistungsfähigkeit des VME-bus-Rechners ist vor allem für die Anbindung an die Kundenapplikationen notwendig. Auf die Startsignale von CNC, SPS, über serielle oder Feldbus-Schnittstellen flexibel konfigurierbare PC-Steuerungen muss die VME-CPU auf eine schnelle und reproduzierbare Art und Weise reagieren. Thieringer: »Der Kunde akzeptiert es nicht, wenn der Laser auf ein Startsignal einmal nach 10 ms und einmal nach 50 ms reagiert. Wir brauchen die garantierte Echtzeitfähigkeit, die uns das VME-System in Verbindung mit OS-9 als Echtzeit-/Multitasking-Betriebssystem gewährleistet.«

Reibungslose Datenübergabe

Die Entscheidung für eine VMEbus-Steuerung fiel damals aus vielerlei Gründen: »Zum einen suchten wir eine marktgängige Plattform, die unterschiedliche Standardkomponenten umfasst – dazu gehören Vernetzungskomponenten wie Feldbus- oder Ethernet-Anschaltungen«, erläutert Thieringer. Aber auch die Skalierbarkeit spielte eine wesentliche Rolle: »Als wir vor zehn Jahren anfingen, war das innovativste Produkt die VSBC-1 mit einem 68000-Prozessor (8 MHz). Seither hat die Rechenleistung unserer Applikation zweimal einen Sprung gemacht: Als wir in Serie gingen, benötigten wir schon die VSBC-4 (68302-Prozessor, 10 MHz) und heute sind wir bei der VSBC-32 mit 68360-CPU und moderner Flash-Speichertechnologie (über 25 MHz). Alle Leistungs-

Die Haas Laser GmbH entwickelt, produziert und vertreibt mit derzeit 360 Mitarbeitern Lasergeräte für die Materialbearbeitung und erwirtschaftet einen Umsatz von 150 Millionen Mark (98/99). Diese Festkörperlaser dienen im Wesentlichen zum Schweißen, Schneiden und Beschriften von Materialien. Die Einsatzgebiete liegen hauptsächlich in der Automobilindustrie und bei deren Zulieferern. Seit 01.07.1996 gehört Haas Laser zu 100 Prozent zur Trumpf-Gruppe, Ditzingen.

Trumpf erwirtschaftet im Bereich CNC-Bearbeitungszentren, Blechbearbeitung, Laser zum Schneiden, Schweißen und Behandeln mit rund 4440 Mitarbeitern (2800 in Deutschland) einen Umsatz von 1,7 Milliarden Mark (98/99). Damit deckt Trumpf allein 10 Prozent der gesamten Werkzeugmaschinen-Produktion ab.

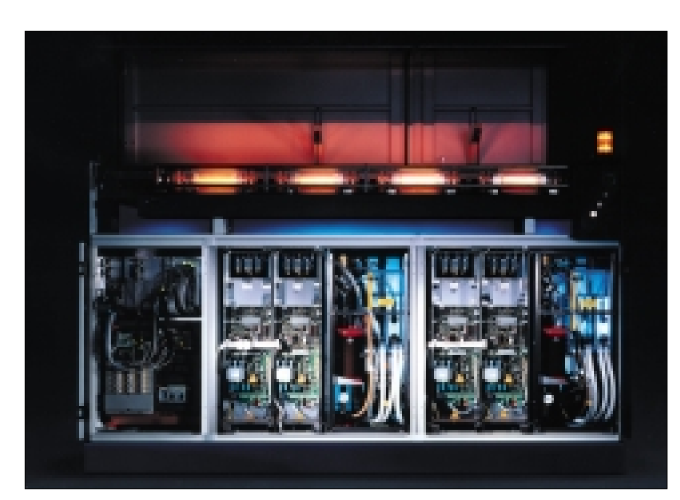


Bild 2: Laseranlage und Steuerung: Das Innenleben des cw-Festkörperlasers HL 2006D: Der Laser ist modular aufgebaut. Die generierten Daten der über 500 Messstellen laufen in der VMEbus-Steuerung zusammen (links im Bild).

sprünge konnten wir realisieren, ohne eine Änderung an der Software vollziehen zu müssen.« Zu den besonderen Eigenschaften der VMEbus-Steuerung zählen noch:

- hohe Zuverlässigkeit und Verfügbarkeit,
- geringe Verlustleistung,
- skalierbare Rechenleistung,
- Sicherung der Software-Investitionen durch nahtlose HW/SW-Upgrades,
- moderne Web-Server Technik,
- schnelle Interrupt-Verarbeitung,
- robuste und kompakte Technik und
- eine langfristige Lieferfähigkeit.

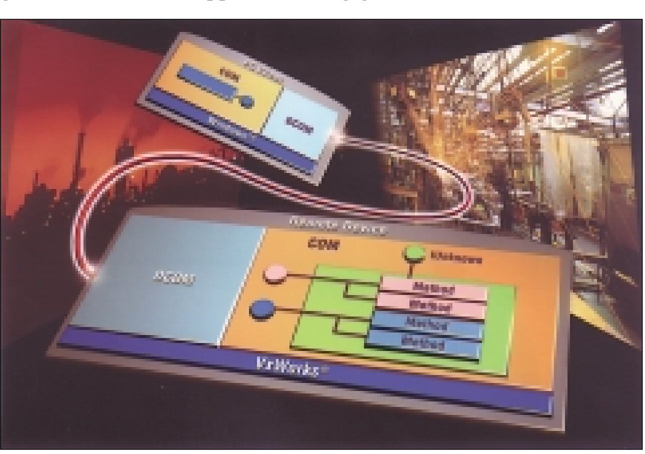
Ist die VMEbus-Technologie aber noch zukunftsträchtig oder bedarf es zukünftig doch eines Schwenks hin zu anderen, moderneren Architekturen? Thieringer reagiert auf diese Frage gelassen: »Eine zeitlang sah es aus, als würde die Intel- und Windows-Welt die VME- und OS-9-Welt ablösen. Inzwischen tauchen Ideen auf, die Linux in den Bereich der Steuerungstechnik hineinwachsen sehen. Wir lehnen uns gelassen zurück und warten erst einmal ab. Momentan gibt es für uns absolut keinen Grund, eine andere Richtung einzuschlagen.« Auch die Absicht von Haas Laser, intensiv an dem Thema Teleservice und Telepräsenz zu arbeiten, lässt Thieringer nicht umschwenken: »OS-9, das ja an Unix angelehnt ist, bringt alle modernen Aspekte mit ein: Das Thema Internet kommt ja aus dem Unix-Bereich, was mit sich bringt, dass Werkzeuge wie FTP (File Transfer Protocol) und Telnet in OS-9 schon integriert sind. Und auch einen Web-Server haben wir für die VMEbus-Steuerung schon gemeinsam mit PEP realisiert.« (pa)

Microware
Tel.: 0 81 02/7 42 20

Schnittstelle zwischen Embedded- und PC-Anwendern

Wind River Systems realisiert mit der echtzeitfähigen Implementierung der De-facto-Standardschnittstelle DCOM (Distributed Component Object Model) von Microsoft für Windows-basierte Objektverwaltung in sein Echtzeitbetriebssystem VxWorks die Kommunikation zwischen Embedded- und PC-basierten Applikationen. Das so entstandene Derivat VxDCOM integriert Embedded-Applikationen nahtlos in die PC-Welt. Dazu zählen viele managementorientierte Anwendungen wie etwa Automatisierungssysteme in der Fabrikationsindustrie. So zum Beispiel SCADA, das nun in ein Embedded-Design einbezogen werden kann. Die Technologie ermöglicht beispielsweise die Interaktion zwischen Windows-NT-Workstations und Produktionsrobotern über grafische Steuerungseinheiten. Mit dem Visualisierungswerkzeug lassen sich komplizierte Vorgänge zwischen Tasks, Interrupt-Service-Routinen und System-Objects schnell und einfach auf dem Entwicklungsrechner darstellen und anpassen. Die grafische Benutzerschnittstelle wurde im Look-and-Feel dem Windows-Betriebssystem angepasst.

Mit der starken Verbreitung von Embedded-Systemen steigt die Nachfrage nach verbesserter Kommunikation zu PC-basierter Software. Beide Technologien bieten Vorteile: Desktop-PC-Anwendungen eignen sich besonders gut zur Datenanalyse und für Präsentationen. Embedded-Echtzeit-Anwendungen benötigen dagegen eine kompakte und robuste Basis sowie deterministisches Verhalten. Mit der Schnittstelle verknüpft Wind River Systems beide Welten und schafft eine nahtlose Integration. Die Sprachunabhängigkeit von VxDCOM bietet den Entwicklern freie Wahl, ihre PC-basierten Programme in Java, Visual-Basic, C++ oder in jeder anderen Active-X-kompatiblen Sprache zu schreiben. Das erlaubt die Interaktion von Applikationen mit verteilten Objekten auf einem VxWorks-Zielsystem. Ein weiteres Highlight ist der geringe Speicherbedarf. Mit 280 K ist er deutlich geringer als beim ursprünglichen DCOM-Modell. Damit entspricht er den speziellen Speicheranforderungen von Embedded-Anwendungen. VxDCOM ist voll kompatibel zur bewährten DCOM-Komponente »OLE for Process Control« (OPC). Das einheitliche Protokoll macht die Anpassung der unterschiedlichen Gerätetreiber überflüssig. Maschinen, Desk-Top-PCs und andere Human-Machine-Interfaces (HMI) kommunizieren ohne weiteren Konfigurationsaufwand miteinander. VxDCOM wurde eng in die Entwicklungsumgebung Tornado integriert. Diese Integration ist völlig kompatibel zum DCOM-Standard für Protokolle der Netzwerkkommunikation und erlaubt das beliebige Verschieben von Daten. Dadurch kann die Software sofort produktiv eingesetzt werden. Jegliche weitere Konfiguration zwischen dem Windows-Host und dem VxDCOM-Zielsystem entfällt. Über definierte Schnittstellen der Automatisierungstechnik können die Embedded-Zielgeräte automatisch Kommandos an PC-basierte Anwendungen senden, ohne dass der Anwender dazu aktiv werden muss.



VxDCOM ist für die Entwicklungsplattform Tornado II verfügbar. Es benötigt MIDL, Teile von Microsofts Visual C++ 5.0 oder höher und einen Windows-NT-Host. Unterstützte Zielsysteme sind: ARM, PowerPC, x86, MIPS, 68k, CPU32, Sparc, i960 oder SimNT-Architekturen. (pa)

Wind River Systems
Tel.: 089/9 62 44 50

Schnelle Implementierung von Festkomma-DSPs

The MathWorks stellt die neue Quantized-Filtering Toolbox vor. Diese ermöglicht Entwurf und Analyse von digitalen Filtern mit kundenspezifischer Festkomma- und Gleitkomma-Arithmetik. Sie bietet Algorithmenentwicklern die Möglichkeit, innerhalb von MATLAB Filter mit Festkomma- bzw. kundenspezifischer Gleitkomma-Arithmetik für digitale Signalprozessoren, ASICs und FPGAs Bit-genau zu entwerfen und zu analysieren. In Kombination mit MATLAB und der Signal-Processing-Toolbox ergeben sich durch den Einsatz der Quantized-Filtering-Toolbox signifikant kürzere Entwicklungszeiten und reduzierte Entwicklungsrisiken in der Produktentwicklung.

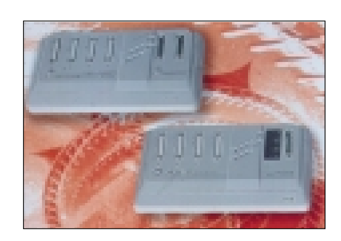
Ein weiterer wichtiger Fortschritt, den die Quantized-Filtering-Toolbox bietet, sind eingebaute FIR- und IIR-Filterstrukturen, die Entwickler in der Regel für den Filtererentwurf in Festkomma-/Gleitkomma-Arithmetik benötigen. Anwender können basierend auf dieser Filterauswahl feststellen, inwieweit ihre Spezifikationen erfüllt sind. Hierdurch haben sie Zeitvorteile bei der Entwicklung und ersparen sich unnötige Vermutungen.

Von entscheidendem Vorteil für den Entwickler ist die Möglichkeit, Filterentwürfe experimentieren und Leistungsvergleiche durchführen zu können, bevor der endgültige Entwurf festgelegt wird. Infolge von Experimenten mit Größen, die ein Filter charakterisieren wie Frequenzgang, Pol-Nullstellen-Darstellung und Impulsantwort können Anwender eine kleinere Wortlänge mit weniger Speicherbedarf wählen, um hierdurch Kosten bei der endgültigen Hardware-Implementierung zu sparen.

Die Quantized-Filtering-Toolbox fügt sich nahtlos in die bereits bestehende Reihe von DSP-Entwicklungs-Tools ein (MATLAB, Signal-Processing-Toolbox, Simulink, DSP-Blockset und Real-Time-Workshop). Anwender erhalten somit eine offene, interaktive Alternative zu traditionellen Programmiersprachen und Simulationswerkzeugen. Die Werkzeuge erlauben es, die leistungsfähigen Funktionen von MATLAB zur Algorithmenentwicklung mit der blockorientierten, grafischen Systementwicklung in Simulink zu kombinieren. Es ist nun möglich, Entwurf, Simulation und Analyse komplexer Algorithmen in einem Bruchteil der Zeit durchzuführen, die traditionelle Methoden erfordern. (pa)

Scientific Computers
Tel.: 02 41/47 07 50

Single-Board-Rechner im PC/104-Plus-Format



Aus dem Programm des PC/104-Herstellers AMPRO stellt CommuniPorts einen Pentium-Single-Board-Rechner vor, der konsequent auf eine besonders niedrige Leistungsaufnahme »getrimmt« wurde. Die Karte im PC/104-Plus-Format ist mit einem »ow-Power«-Pentium-Prozessor mit 133 MHz mit Intels »Voltage-Reduction-Technology« (VRT) bestückt. Der Chip wird mit 2,9 bzw. 3,3 V Spannung betrieben. Standardmäßig ist die Karte für eine Betriebstemperatur von 0 bis 70 °C ausgelegt, optional lieferbar ist eine Variante für -40 bis +85 °C. Ein Temperatursensor überwacht überdies die CPU und steuert entsprechend die Taktrate des Prozessors. Das PC/104-Modul basiert auf Intels TX-Chipsatz und kann mit maximal 64 MByte DRAM und 4 oder 8 MByte DiskOnChip ausgestattet werden. An Schnittstellen stehen neben einem IDE- und Floppy-Controller zwei USB-, ein IrDA-, zwei RS232- und ein Parallel-Port zur Verfügung. Das Award-BIOS wurde um spezielle Funktionen für Embedded-Anwendungen (Power-Management, No-Fall-Startup, Serial-Boot-Loader etc.) ergänzt. Ein programmierbarer Watchdog-Timer komplettiert die Ausstattung. (pa)

CommuniPorts
Tel.: 0 81 42/47 28 40

VME-Einplatinencomputer trotzt auch extremen Temperaturen

Motorola Computersysteme stellt mit der MVME5100-Serie eine neue Produktfamilie von VME-Einplatinencomputern vor. Die Boards sind in zwei Versionen für verschiedene Temperaturbereiche erhältlich und verfügen über unterschiedliche PowerPC-Prozessoren: den MPC7400 PowerPC mit der AltiVec-Technologie für Algorithmen-intensive Berechnungen oder den PowerPC 750 mit 450 MHz und höheren Taktfrequenzen. Darüber hinaus verfügen die Boards über Steckplätze für PCI-Mezzanine-Karten (PMC) und bis zu 1 GByte Hauptspeicherkapazität.

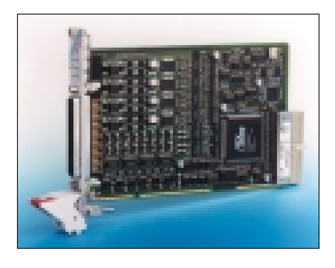
Die MVME5100-Boards werden für den unternehmensüblichen Betriebstemperaturbereich von 0 bis 55 °C und für den industriellen Betriebstemperaturbereich von - 20 bis + 71 °C angeboten. Speziell für militärische Temperaturanforderungen wird die MVME5100-Familie unter der Bezeichnung C5100 vertreiben. Diese Systeme werden mit Kontakt- oder Luftkühlung für unterschiedliche Umgebungsbedingungen angeboten.

Auf der Basis der PowerPlus-II-Architektur bietet der MVME5100 eine lokale PCI-Schnittstelle und einen Memory-Controller, der bis zu 582 MByte Bandbreite für Hauptspeicher-Lesezugriffe und 640 MByte Bandbreite für Burst-Schreibzugriffe ermöglicht. Für eine maximale Systemleistung ist die Speicherbus-Optimierung ebenso wichtig wie die Systembus-Optimierung. Die PowerPlus-II-Architektur unterstützt den vollen PCI-Durchsatz von 264 MByte ohne übermässige Inanspruchnahme des CPU-Speichers. Weitere Merkmale sind zwei Ethernet-Ports, zwei serielle Ports und bis zu 16 MByte Flash-Memory.

Außer frontseitigen I/O-Anschlüssen bietet das Board zwei P2-I/O-Betriebsarten – den PMC-Modus und den 761-Modus. Im PMC-Modus stehen 110 P2-I/O-Pins für eine kundenspezifische rückseitige I/O-Verdrahtung auf der Grundlage des offenen PMC-Standards zur Verfügung. Diese Verdrahtung ist vollständig kompatibel mit den Produkten früherer Generationen, MVME2300 und MVME2400. Der 761-Modus gewährleistet die Rückwärtskompatibilität mit dem Übergangs-Board MVME761, das für die früheren Produkte MVME2600 und MVME2700 entwickelt wurde. Die MVME761-Kompatibilität wird durch Verwendung der optionalen PMC-Zusatzkarte IPMC761 erreicht. Sie erlaubt die rückseitige I/O-Verdrahtung für einen »single-ended«-Ultra-Wide-SCSI-Anschluss, einen parallelen Port, vier serielle Ports – zwei synchrone und zwei asynchrone/synchrone – sowie I²C. Diese multifunktionale PMC-Karte wird im Paket mit dem MVME5100 angeboten. (pa)

Motorola Computersysteme
Tel.: 0611/3 6116 04

Sicher schalten am CompactPCI-Bus



Auch heute noch ist die wichtigste Verbindung des Industrie-PCs zur realen Welt die digitale Ein-/Ausgabekarte. Die Anforderungen an eine solche Baugruppe sind schnell aufgezählt: Zum einen ist störsicheres und schnelles Einlesen der Eingänge ein absolutes Muss. Zum anderen ist störsicheres und kraftvolles Schalten der Ausgänge gefragt. Die CCIO32 von SMA erfüllt beide Aufgaben. Zusätzlich wurde die CompactPCl-Baugruppe mit umfangreichen Sicherheits- und Überwachungsfunktionen ausgestattet, die die 16 digitalen Eingänge und 16 digitalen Ausgänge nicht aus den Augen lassen und dafür Sorge tragen, dass die Befehle des Anwendungsprogramms auch wirklich in Schalthandlungen umgesetzt werden. Die Ein-/Ausgänge sind galvanisch getrennt. (pa)

SMA
Tel.: 05 61/9 52 20

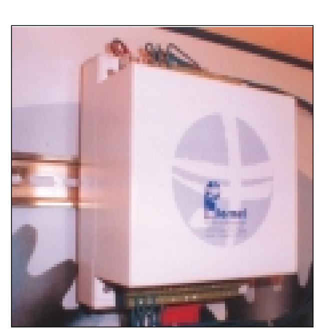
Industrietauglicher Ethernet-Rail-Transceiver

Mit dem Rail-Transceiver RT1-TP/FL von Hirschmann bietet Plug-In Electronic eine schnelle und kostengünstige Lösung für die Realisierung von Datennetzen im industriellen Automatisierungs- und Steuerungsbereich. Mit Hilfe des Transceivers lassen sich auf der Basis von Glasfaser- und Kupferverkabelung leistungsfähige Ethernet-Netze einrichten, die selbst in Bereichen mit starken elektromagnetischen Feldern eine sichere Datenübertragung gewährleisten. Der Rail-Transceiver verfügt über ein 10Base-FL-Standard-Glasfaser-Interface und einen 10-Base-T-Twisted-Pair-Port mit RJ45-Anschluss. Über Twisted-Pair lassen sich Daten über eine Entfernung von 100 Metern übertragen, während der Glasfaser-Port mittels Multimode-Fasern die Überbrückung einer

Distanz von bis zu zwei Kilometern ermöglicht. Dabei bietet der RT1-TP/FL die für die Anbindung von entfernt stationierten Geräten notwendige Flexibilität, sowohl in einem Netzwerk mit Switched- als auch mit Shared-Ethernet-Backbone. Die Plug-and-Play-Fähigkeit des Geräts erleichtert die in einer Produktionsumgebung geforderte einfache Installation. Der Anwender steckt das stabile Aluminiumdruckgussgehäuse auf eine Hutschiene und verbindet es mit den Kabeln. Eine zusätzliche Konfiguration des Transceivers ist nicht notwendig. Das industrielle Design und die elektromagnetische Unempfindlichkeit (CE-Klasse A und B) erlauben den Einsatz des Transceivers selbst dann, wenn elektromagnetische Störfelder existieren. Der Ethernet-Rail-Transceiver arbeitet in einem Temperaturbereich von 0 bis zu 60 °C und ist in der Lage, unterschiedliche elektrische Potentiale zu trennen. Die Stromversorgung erfolgt über zwei zwischen 18 V und 32 V betriebene Gleichstromnetzteile. Der Transceiver RT1-TP/FL ist Teil einer standardisierten Ethernet-Lösung für alle Ebenen der industriellen Automatisierung und Steuerung, die Informationen von Aktoren und Sensoren bis in die Steuerungsebene übertragen.(pa)

Plug-In
Tel.:0 81 41/3 69 70

Robustes PC/104-Hutschienengehäuse



Neue Anwendungsfelder für den PC/104 erschließt jetzt das feldtaugliche Gehäuse von Informel. Für Hutschienen- oder Wandmontage geeignet, bietet das robuste Metallgehäuse Platz für zwei oder vier PC/104-Karten. Bei einer Erweiterung wird nur der niedrige Gehäusedeckel gegen eine höhere Variante für drei zusätzliche Baugruppen ausgetauscht. Das Unterteil mit den montierten Anschlüssen bleibt, lediglich die vier Schrauben des Deckels müssen gelöst werden. Auf- und Umrüstungen, z.B. mit leistungsfähigerer CPU, Festplatte oder Buskarten, sind so problemlos durch einfaches Aufstecken von beliebigen PC/104-Karten möglich. Schraubanschlüsse müssen dazu nicht gelöst werden.

Das Gehäuse enthält standardmäßig vorgestanzte Aussparungen für einen 25-poligen und fünf neunpolige SubD-Anschlüsse. Eine andere Konfiguration oder kundenspezifische Anpassungen wie spezielle Aussparungen oder Kundenlogo auf dem Gehäuse sind auch bei kleinen Stückzahlen möglich. In das Gehäuse ist eine Basisplatine mit DC/DC-Wandler (optional mit ±12 V für Analogkarten) für zwölf bis 24 V Eingangsspannung, 16 digitale Optokopplereingänge und acht Relaisausgängen integriert. Für einen schnellen Anschluss sorgen 40 festverdrahtete Schraubklemmen und 40 Pole, die über Flachbandkabel an die Standardstecker der PC/104-Karten angeschlossen werden. Das industrietaugliche Gehäuse gibt es wahlweise auch mit CPU-Karte, je nach Anwendungsanforderung mit 386-, 486- oder Pentium-CPU bestückt. Jede PC/104-Zubehörkarte sowie das breite Angebot an PC-Software und -Werkzeugen ist nutzbar (pa)

Informel
Tel.: 07 21/9 41 42 05

Grafik-Software für Embedded-Systeme

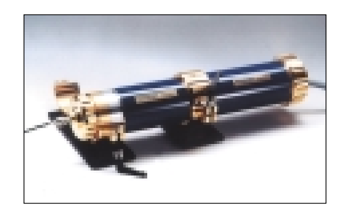
Eyelet GUI ist jetzt zusammen mit der RTOS-Lösung Precise/MQX für dem PowerPC-823 und ARM7 fertig angepasst erhältlich. Durch den optionalen TCP/IP-Stack Precise/MQX ist diese Lösung auch für Embedded-Anwendungen einsetzbar. Eyelet GUI von MoJo Designs erlaubt die Gestaltung von Oberflächen, die sich von Desktop-GUIs deutlich unterscheiden. Hierdurch kann das Unternehmens- oder produktspezifische CI leicht umgesetzt werden, ohne mit den Konventionen herkömmlicher GUIs leben zu müssen. Die Oberfläche erlaubt die Verwendung von kleineren und somit kostensparenden LCDs ohne Einschränkungen der Bedienerfreundlichkeit. Durch den Eyelet-Architect ist ein Produktdesigner in der Lage, die Oberfläche unter CI- und Ergonomiegesichtspunkten am PC unter Windows zu entwerfen und zu testen, ohne Software zu entwickeln. Hier stehen ihm vorgefertige Widgets/Bedienelemente wie »Slider, Checkboxen, Menus, Buttons« zur Verfügung.

Der für das Embedded-System erzeugte Quellcode wird mit dem entsprechenden C++-Compiler für das Target-System compiliert. Durch die weitgehende Unabhängigkeit von RTOS, Prozessor und Compiler verfügt der Anwender über eine hohe Investitionssicherheit, da bestehende Projekte leichter auf eine neue Hardware-Plattform portiert werden können. Durch den geringen Ressourcenverbrauch (RAM + ROM) sowie das sehr RTOS-freundliche Verhalten von Eyelet GUI ist der Einsatz auch in kleinen Systemen möglich. Eyelet GUI und Precise/MQX werden im deutschsprachigen Raum von HSP Embedded Tools vertrieben. (pa)

HSP
Tel.: 02 51/98 72 90

EMV-Messverfahren für Kabel

Bedea hat ein Verfahren zur EMV-Messung entwickelt, durch das die bisher notwendige Trennung der Parameter der Schirm- und der Unsymmetriedämpfung überflüssig wird, was die EMV-Messung erleichtert. Das EMV-Verhalten von geschirmten, symmetrischen Kabeln ergibt sich aus der Summe



der Unsymmetriedämpfung der Paare und der Schirmdämpfung des Schirms. Während bisher die EMV-Messung nur über den Weg einer getrennten Messung dieser beiden Parameter möglich war, können mit dem neuen Messverfahren beide Größen als Kopplungsdämpfung erfasst werden. Die Messungen sind dabei unabhängig von den Umgebungsbedingungen und vom Einfluss elektromagnetischer Felder.

Das Messverfahren stellt eine Erweiterung der Methode zur Messung der Schirmdämpfung gemäß IEC 61196-1 Amendment 1 dar. Es bietet eine hohe Messdynamik, mit der auch hochgeschirmte Kabel gemessen werden können. Darüber hinaus bietet das EMV-Messverfahren einen weiten Frequenzbereich, der nur durch die Eigenschaften der eingesetzten Träger begrenzt wird. Mit dem neu entwickelten System können die bereits installierten EMV-Messanlagen CoMet 40 erweitert werden. (pa)

bedea
Tel.: 0 64 41/80 12 22

CPU-Board für IPC mit ISA96- oder AT96-Bus



Speziell für die Aufrüstung bestehender Industrie-PC-Steuerungen bietet Janich & Klass das High-Performance-CPU-Board ISA96 P7/103 an. Die Baugruppe unterstützt neben dem weit verbreiteten ISA96- bzw. AT96-Bus auch den aktuellen IPCI-Bus. Bestehende Industrie-PC-basierte Maschinen- und Anlagensteuerungen können damit einfach auf den neuesten Stand gebracht werden, ohne die Investitionen in bewährte Peripherie zu gefährden. Das Board unterstützt alle aktuellen »Sockel 7«-kompatiblen Prozessoren mit einer Taktfrequenz von zur Zeit bis 450 MHz. Darüber hinaus sorgen der Bustakt von bis zu 100 MHz, 512 KByte synchroner Pipelined-Burst-L2-Cache sowie bis zu 128 MByte synchroner DRAM für hohen Datendurchsatz. Ein weiteres Kennzeichen ist die umfangreiche Ausstattung. So verfügt die Platine standardmäßig über einen AGP-Grafikcontroller mit 2 MByte Bildschirmspeicher und Interface für Flachbildschirme, zwei PCI-IDE-Schnittstellen (Ultra 33 synchronous DMA-Mode) sowie zwei USB-Anschlüsse, parallele Schnittstelle und zwei serielle Schnittstellen auf der Frontplatte.

Darüber hinaus bietet jedes Board eine Reihe auf den Industrieeinsatz abgestimmte Features wie z.B. einen LM78 zur Überwachung von Temperatur, Lüfter und Versorgungsspannungen, abschaltbaren Watchdog, eine bootfähige Flash-Disk sowie eine batteriegepufferte SRAM-Disk mit 128 KByte. (pa)

Janich&Klass
Tel.: 02 02/2 70 80

CompactPCI-Einplatinencomputer

Motorola Computersysteme bringt den CompactPCI Einplatinencomputer MCPN765 mit zwei Steckplätzen für PMC-(PCI Mezzanine Card-)Karten auf den Markt. Dieses Modell ist eine Weiterentwicklung des MCPN750. Der MCPN750 bietet einen bis zu 1 Gigabyte großen und sehr schnellen Speicher für maximalen Datendurchsatz. Die Hot-Swap-Fähigkeit und zwei Ethernet-Ports des MCPN750 sind wichtige Voraussetzungen für ausfallsichere Anwendungen. Der Einplatinencomputer ist sowohl auf der Basis des MPC7400-PowerPC-Mikroprozessors mit AltiVec-Technologie verfügbar als auch auf der Grundlage des PowerPC-750-Prozessors mit Taktfrequenzen von 466 MHz und mehr. Der MCPN765 kann in Nicht-Systemsteckplätzen eingesetzt werden und ermöglicht damit das Konfigurieren von lose gekoppelten Multiprozessorsystemen. In der vollen Ausbaustufe mit 1 GByte Speicher und zwei PMC-Karten belegt er überdies nur einen CompactPCI-Steckplatz. Damit können Systeme mit der größtmöglichen Zahl von Prozessorkarten ausgestattet werden. Ein Einzel-CompactPCI-System lässt sich zum Beispiel mit acht Steckplätzen, einem Prozessor im Systemsteckplatz und bis zu sieben MCPN765-Boards ausrüsten, um die Rechenleistung zu maximieren. Das Board erfüllt auch die Anforderungen der neuesten PICMG-Hot-Swap-Spezifikation und reduziert so die Ausfallzeiten für Systemreparaturen oder -Upgrades.

Mit der Speicherkapazität von 1 GByte und der Schnelligkeit des MCPN765 lässt sich beispielsweise in einer Bildverarbeitungsanwendung ein neu erfasstes Bild direkt im Speicher ablegen, während die Applikation noch das vorherige Bild bearbeitet. Durch die Minimierung unnötiger Datenkopiervorgänge kann diese duale Erfassungs- und Verarbeitungsarchitektur extrem effizient sein, besonders in Verbindung mit den Vektorfähigkeiten der AltiVec-Technologie für die Bildverarbeitung. Statt das vorherige Bild aus dem Speicher auszulagern, um Platz für das neue Bild zu schaffen, kann das vorherige Bild im Speicher verbleiben, was die Generierung von Differenzdaten erleichtert.

Die MCPN765-Prozessorkarte bietet frontseitige I/O-Anschlüsse und kann auch zusammen mit der geplanten PIM-Architektur (PMC Interface Module) für modulare rückseitige I/O-Anschlüsse eingesetzt werden. Hierdurch können OEM-Kunden ihre Produkte kostengünstiger und schneller auf den Markt bringen und eine vereinfachte rückseitige I/O-Konfiguration mit Standardkomponenten realisieren. (pa)

Motorola Computersysteme
Tel.: 0611/3 6116 04

Designbibliothek für Kommunikationssysteme

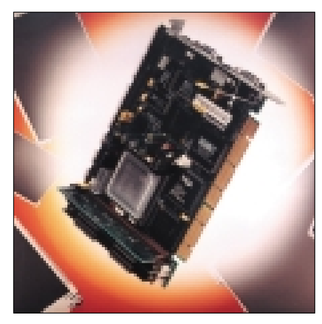
Eine neue Designbibliothek von Agilent Technologies für den Entwurf von breitbandigen cdm2000-Systemen (Code-Division Multiple Access) unterstützt Hersteller bei der Entwicklung von Produkten auf der Basis der IS-2000-Standards. Von diesen Standards, die eine breitbandige Nutzung vorhandener 2G-CDMA-Infrastruktur ermöglichen, wird erwartet, dass sie sich weltweit durchsetzen werden. Die Bibliothek, entwickelt von Agilent EEsof, umfasst einen kompletten Satz von Verhaltensmodellen und Test-Benches. Sie ermöglicht es, sowohl Basisband- als auch HF-Signalverarbeitungs-Chips auf der Systemebene zu entwerfen und zu optimieren – also auf der Ebene, auf welcher Designentscheidungen die weitestreichenden Auswirkungen haben – und trägt dadurch zur Verkürzung der Systementwicklungsdauer und der Markteinführungszeit bei.

Agilent arbeitet mit den einschlägigen Standardisierungsorganisationen zusammen und ist dadurch in der Lage, schon frühzeitig Design-Software anzubieten, die den vorgeschlagenen IMT-2000-Standard für Digitalkommunikationssysteme der dritten Generation (30) unterstützt.

Die cdm2000-Designbibliothek ist Bestandteil des »Advanced-Design-Systems« von Agilent, einer integrierten Entwicklungsumgebung für Telekommunikations- und Multimedia-Systeme. Dieses System bietet leistungsfähige Werkzeuge für Mixed-Signal-Design und -Simulation von Analog-, HF- und DSP-Baugruppen von cdm2000-Systemen innerhalb einer konsistenten, integrierten Entwicklungsumgebung. Für Prototypentests können die in der Entwicklungsumgebung definierten Signale in einen HF-Signalgenerator der Familie Agilent ESG-D heruntergeladen und als reale Signale ausgegeben werden. Dadurch ist es möglich, alle Systemkomponenten gleichzeitig zu entwerfen und zu charakterisieren. Dies bedeutet eine beträchtliche Verkürzung der Entwicklungsdauer. (pa)

Agilent Technologies
Tel.: 0 70 31/4 64 19 55

Halblange ISA-/PISA-Slot-Karte



Die Atom wurde von Blue Chip Technologie speziell für raumkritische High-End-Anwendungen entwickelt. Key-Features sind PCI-SVGA-LCD/CRT-Support on-board, 10/lBase-T-Ethernet und Sound-Blaster-kompatible Audiofunktionen. Die Karte kann mit ISA- oder PISA-Bus geliefert werden. Mit PISA wird es möglich, PCI-Systeme in sehr kompakten Abmessungen aufzubauen, dabei können bis zu vier PCI-Slots und bis zu 20 ISA-Slots unterstützt werden. Für maximale Betriebssicherheit solcher Systeme bietet Blue Chip Technology speziell entwickelte, kompakte PISA-PCI-Busplatinen an. Basierend auf dem Intel-430HX-Chipsatz, der Zuverlässigkeit und Leistungsfähigkeit mit langer Verfügbarkeit kombiniert, unterstützt die Karte die folgenden Prozessoren: Intel, AMD, IDT und Cyrix bis 300 MHz. Bis zu 256 MByte DRAM und L2-Cache von 0, 256, 512 KByte wird unterstützt, bis zu 72-MByte-Disk-OnChip-Flash-Module können als Disk-Emulation aufgesteckt werden. Der aktuellste Videocontroller 69000 von C&T unterstützt CRT- und LCD-Displays auch gleichzeitig. Mit 2 MByte Videospeicher (4 MByte optional), werden LCD- und CRT-Auflösungen bis zu 1280 x 1024 x 256, 1024 x 768 x 64K, 800 x 600 x 16M und 640 x 480 x 16M unterstützt. Der Support für eine Vielzahl von Flachdisplays bis zu 36 Bit macht die Karte zur Lösung für Embedded-Applikationen mit Flach-Displays.

Zur einfacheren Integration sind BIOS-Kits und Anschlusskabel erhältlich. Die Karte unterstützt zwei EIDE-Devices, zwei Floppy-Disk-Drives, zwei USB-Ports, zwei serielle Ports (IrDA Option an COM2) und einen SPP/ECP/EPP bidirektionalen Parallel-Port. Der ESS186x-Controller bietet Stereo-Soundblaster-Kompatibilität mit Line-Input und Speaker-Outputs. Ein NE2000 kompatibler PCI-10/100Base-T-Ethernet-Controller und ein RJ45-Stecker machen die Integration in Netzwerke einfach. Durch den Power-Stecker kann die Atom auch in Embedded-Anwendungen ohne Backplane zuverlässig betrieben werden. (pa)

nbn
Tel.: 0 8152/9 23 60

Zentralbaugruppe mit IPCI und SMP16-Interface

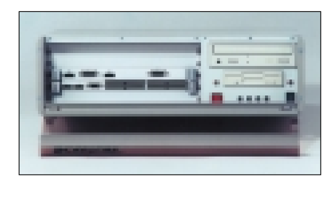
Mit der Zentralbaugruppe IPCI/SMP16-PII mit Intel-Pentium-II-Prozessor (333 MHz Taktfrequenz, 32 KByte Level-1-Cache, 512 KByte Level-2-Cache mit 333 MHz getaktet) und Intel-440FX-Chipsatz, stellt KBS Industrieelektronik ihre schnellste Zentralbaugruppe für den IPCI-Bus vor. Neben einem Interface zum IPCI-Bus bietet diese Baugruppe auch ein Interface für den SMP16-Bus. Die 3HE-Baugruppe im Europakartenformat benötigt vier Steckplätze. Auf der Baugruppe befinden sich zwei PS/2-SIMM-Sockel, sodass ein Speicherausbau von 16 bis derzeit maximal 256 MByte möglich ist. Die Baugruppe enthält zwei serielle Schnittstellen, wobei eine Schnittstelle über Aufsteckmodule für RS232, RS422, RS485 oder 20mA-TTY konfigurierbar ist. Ferner wird eine parallele Schnittstelle, eine Tastaturschnittstelle, ein Mausanschluss und ein USB-Port auf die Frontplatte herausgeführt. Neben einem 3,5-Zoll-Floppylaufwerk enthält die Baugruppe auch ein 2,5-Zoll-Festplattenlaufwerk (EIDE-Schnittstelle) mit einer Kapazität zur Zeit bis zu 9 GByte.

Die Baugruppe wurde im Hinblick auf die im industriellen Bereich zunehmende Verbreitung von WindowsNT und den damit hohen Anforderungen an die benötigte Rechnerleistung entwickelt. Durch das SMP16-Interface, mit Hilfe eines EPLD realisiert, wird für schon bestehende SMP/SMP16-Systeme ein einfacheres Upgrade möglich. Eine Anpassung des Interface an spezielle Kundenerfordernisse ist einfach. Für den Einsatz von Standard-PC-Baugruppen (ISA-Bus) existiert auf der Basis des SMP16-Bus ein Karteneinschub für den Einbau von fünf Standard-ISA-Baugruppen. Die für den Betrieb erforderlichen Versorgungsspannungen werden auf der Baugruppe überwacht, ebenso ist sie ist mit einer Watchdog-Schaltung ausgestattet. Zur Abführung der Verlustleistung des Prozessors verfügt dieser über eine aktive Kühlung mit Temperaturüberwachung.

Zusammen mit einer zusätzlichen IPCI-Grafikbaugruppe kann ein sehr kompaktes Hochleistungsrechnersystem aufgebaut werden, welches bei einem Platzbedarf von fünf Steckplätzen (3HE/20TE) volle PC-Funktionalität enthält. Eine Standard-IPCI-Backplane hat maximal fünf Steckplätze, im System sind demnach noch vier freie IPCI-Steckplätze. Werden weitere IPCI-Steckplätze benötigt, kann der Bus über optionale Bridge-Module erweitert werden. Ein kombinierter IndustrialPCI-/CompactPCI-Bus ist ebenso verfügbar. Peripheriebaugruppen, für die kein hoher Datendurchsatz benötigt wird, können über das SMP16-Bus-Interface angeschlossen werden. (pa)

KBS Industrieelektronik
Tel.: 0761/452550

CompactPCI-Rack für Doppel-Europakarten



Für beliebige Steckkarten im Doppel-Europaformat bietet Jentech ein kompaktes Rack (3HE) mit 500 mm Bautiefe aus eigener Entwicklung und Fertigung an, welches unabhängig von den einzusetzenden Europakarten wahlweise mit einem PCI- oder CompactPCI-Rechner ausgerüstet ist. Dadurch ist es z.B. möglich, VMEbus-Karten zur Messwerterfassung einzusetzen, aber auf den teuren und unflexiblen Embedded-Controller für den VMEbus zu verzichten. Stattdessen kommunizieren die Europakarten intern mit einem leistungsfähigen PCl-Rechner, der in Leistung und Schnittstellenausbau flexibel und skalierbar ist. Das Compact-Rack ist für Schrankmontage oder als Tischgerät lieferbar. Besonderen Wert wird auf einfache Bedienbarkeit gelegt. Außer den fünf doppelt hohen Europakarten sind sämtliche Bedien- und Anzeigeelemente sowie CD- und Diskettenlaufwerk von vorn zugänglich. Als Netzteile finden Standardnetzteile in 3HE-19-Zoll-Kassetten Verwendung. So können Spannungen und Ströme den Kundenanforderungen angepasst werden. (pa)

Jentech
Tel.: 0 36 41/6 29 30



http://www.systeme-online.de

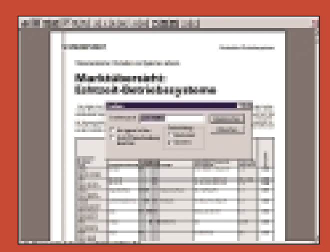
Das Netzwerk für Elektronik-Entwickler

Volltextarchiv



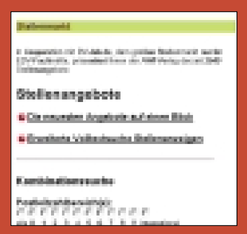
Das Volltextarchiv mit Hunderten von Artikeln aus allen AWi-Zeitschriften liefert Ihnen im Handumdrehen maßgeschneidertes Profi-Wissen.

Elektronik-Focus



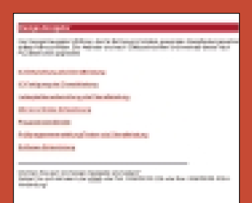
Über 100 Markt- und Anbieterübersichten schaffen Durchblick im Produktangebot und helfen bei Ihrer Investitionsplanung.

Stellenmarkt



Ein neuer Job gefällig? Hier haben Sie die Wahl zwischen mehreren tausend aktuellen Angeboten speziell für DV-Profis.

Design-Navigator



Sie suchen einen qualifizierten Partner, der Ihnen bei der Entwicklung zur Hand geht? im Design-Navigator haben Sie die Auswahl.

Im Fokus: Web-Kennziffern

Der moderne Weg zur Produktinformation

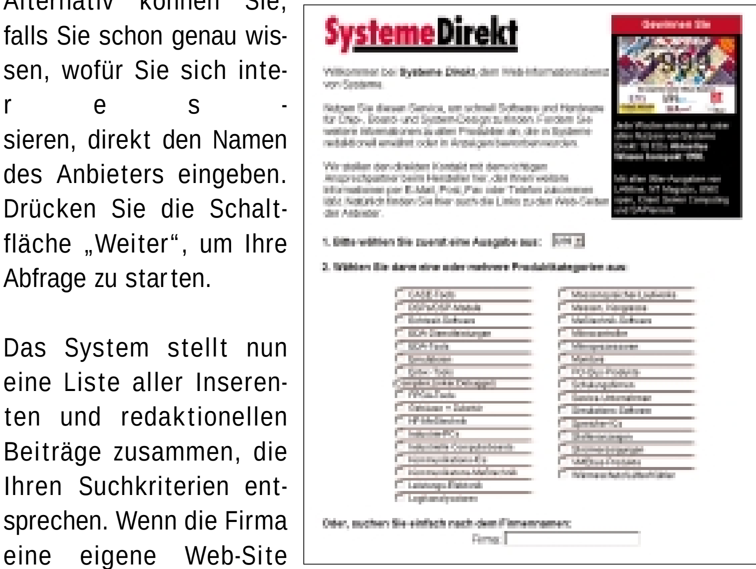
Das Internet entwickelt sich immer mehr zum unverzichtbaren Recherchemedium für Elektronik-Profis. Neben E-Mail ist die Suche nach aktuellen und detaillierten Produktinformationen mittlerweile einer der wichtigsten Einsatzbereiche des Internet. Unser neuer Web-Kennzifferndienst macht die gezielte Suche so komfortabel und schnell wie nie zuvor. Ihre Vorteile:

1. Sie haben eine zentrale Anlaufstelle für Ihre Recherchen und sparen sich den zeitaufwendigen Ausflug über diverse Suchmaschinen und Web-Kataloge;

2. Sie kontaktieren mit einer einzigen Anzeige beliebig viele Anbieter – eine gewaltige Zeitersparnis;

Und so funktionieren die Web-Kennziffern

1. Zunächst wählen Sie aus, in welcher Ausgabe Sie recherchieren möchten. Dann kreuzen Sie eine oder mehrere Produktkategorien an. Alternativ können Sie, falls Sie schon genau wissen, wofür Sie sich interessieren, direkt den Namen des Anbieters eingeben. Drücken Sie die Schaltfläche „Weiter“, um Ihre Abfrage zu starten.



2. Das System stellt nun eine Liste aller Inserenten und redaktionellen Beiträge zusammen, die Ihren Suchkriterien entsprechen. Wenn die Firma eine eigene Web-Site besitzt, dann ist der Firmenname in der linken Spalte mit einem Hyperlink unterlegt. Wichtig für Ihre Info-Anforderung sind die letzten vier Spalten. Hier können Sie bei jeder Firma ankreuzen, ob Sie weitere Informationen per E-Mail, Post, Fax oder Telefon erhalten möchten. Selbstverständlich können Sie hier mehr als eine Firma ankreuzen. Auf diese Weise erstellen Sie ohne zusätzlichen Auf-

AWi verlag münchen
wir informieren
spezialisten.

SystemeOnline

http://www.systeme-online.de

Das Netzwerk für Elektronik-Entwickler

③ Sie entscheiden, in welcher Form die Anbieter mit Ihnen in Kontakt treten sollen: per Post, per E-Mail, per Fax oder gar per Telefon;

④ Sie können darauf vertrauen, daß Ihre Anfrage mit dem Siegel einer anerkannten Fachzeitschrift beim richtigen Ansprechpartner landet und nicht geradewegs im elektronischen Papierkorb;

⑤ Sie sparen sich die Arbeit, in jedem Kontaktformular von neuem Ihre Daten einzugeben, denn unser Web-Kennzifferndienst merkt sich Ihre Daten;

⑥ Sie erhalten eine persönliche Link-Liste, die einen hervorragenden Einstiegspunkt für eigene Recherchen im WWW darstellt.

③ wand gleich mehrere Anfragen.

Bei der erstmaligen Benutzung drücken Sie jetzt einfach den „Weiter“-Button und gelangen damit zur Eingabemaske für Ihre Kontaktinformationen. Noch schneller geht es, wenn Sie das System schon einmal benutzt haben. Dann reicht die Eingabe Ihrer E-Mail-Adresse aus, und Ihre Daten werden automatisch ergänzt.

④ Wenn Sie jetzt „Weiter“ drücken, gelangen Sie auf eine Bestätigungsseite und das System generiert für jeden der von Ihnen angekreuzten Anbieter eine Anfrage, die per E-Mail an den zuständigen Ansprechpartner verschickt wird. Dieser setzt sich mit Ihnen auf dem von Ihnen gewünschten Weg in Verbindung.

⑤ Auf der Bestätigungsseite finden Sie außerdem eine kleine Online-

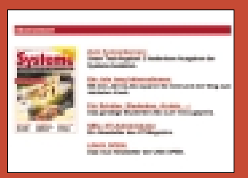
http://www.systeme-online.de/direkt

Inhaltsverzeichnis



In welcher Ausgabe war eigentlich der Artikel zur DSP-Entwicklung unter NT? Kein Problem, die elektronischen Inhaltsverzeichnisse ergänzen Ihr Zeitschriftenarchiv perfekt.

Abonnement



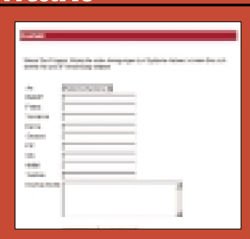
Schon wieder hat Ihnen Ihr Kollege die Systeme vor der Nase weggeschnappt? Höchste Zeit für ein eigenes Abo.

Online-Shop



Ihnen fehlt die AWi-Jahres-CD oder ein Buch aus der AWi-Edition? Hier können Sie bequem online bestellen.

Kontakt



Sie wollen der Redaktion einmal richtig Ihre Meinung sagen? Oder einfach nur Ihre neue Adresse durchgeben? Mit dem Kontaktformular landen Sie immer beim richtigen Ansprechpartner.

Informationen schnell per

Anzeigen-Kennziffern und Inserentenverzeichnis

Redaktionsinhalt

Info-Fax für Systeme

Der moderne Weg zu detaillierten Informationsmaterial zu der in dieser Ausgabe veröffentlichten Anzeigen.

Info-Fax # 023 ▶www.systeme-online.de/direkt Tragen Sie die entsprechende Kennziffer unter **www.systeme-online.de/direkt** an der vorgesehenen Stelle ein und Sie gelangen direkt und ohne Umwege zu Ihren gewünschten Zusatzinformationen.

Info-Fax # 023 ▶www.systeme-online.de/direkt Selbstverständlich haben Sie nach wie vor die Möglichkeit, weitere Anzeigen-Produkt-Infos mit dem untenstehenden Faxformular abzurufen. Einfach ausfüllen und an die **Fax-Nummer 08621/97 99 60** faxen. Zum schnellen Überblick haben wir alle inserierenden Firmen auf der gegenüberliegenden Seite aufgelistet.

An AWi-Verlag
SYSTEME-Leserservice
Herzog-Otto-Str. 42
83308 Trostberg

SYSTEME 2/2000

Ich möchte Informationsmaterial zu Produkten mit folgenden Kennziffern (siehe nebenstehende Übersicht):

1. ☐☐☐☐☐ 2. ☐☐☐☐☐ 3. ☐☐☐☐☐
4. ☐☐☐☐☐ 5. ☐☐☐☐☐ 6. ☐☐☐☐☐
7. ☐☐☐☐☐ 8. ☐☐☐☐☐ 9. ☐☐☐☐☐
10. ☐☐☐☐☐ 11. ☐☐☐☐☐ 12. ☐☐☐☐☐

Meine Anschrift lautet: (bitte deutlich schreiben)

Firma ______________________
Abteilung ______________________
Vorname/Name ______________________
Straße/Nummer ______________________
PLZ/Ort ______________________
Telefon ______________________
Fax ______________________

Meine Funktion: ❑ Spezialist ❑ Gruppen-/Abteilungsleiter ❑ Einkauf ❑ Unternehmensleitung ❑ ____________

Mein Unternehmen beschäftigt:

❑ 1 bis 19 Mitarbeiter ❑ 20 bis 49 Mitarbeiter ❑ 50 bis 99 Mitarbeiter
❑ 100 bis 249 Mitarbeiter ❑ 250 bis 499 Mitarbeiter ❑ 500 bis 999 Mitarbeiter
❑ über 1000 Mitarbeiter

Mein Unternehmen gehört zu folgender Branche:
❑ Elektronikindustrie
❑ Elektroindustrie
❑ Kommunikation
❑ Maschinenbau
❑ Automatisierungstechnik
❑ Fahrzeughersteller- und -zulieferer
❑ Chemische oder pharmazeutische Industrie
❑ Ingenieurbüros
❑ Systemhäuser
❑ Elektronik-Dienstleister
❑ Hochschulen und Forschungsinstitute
❑ Luft- und Raumfahrtindustrie
❑ Distribution
❑ Büromaschinen und Datenverarbeitung
❑ sonstige: ____________

Ich interessiere mich für folgende Themen:

Entwicklungswerkzeuge:
❑ EDA-Software
❑ Emulatoren
❑ Programmiergeräte
❑ Logikanalysatoren
❑ Entwicklungs-Tools (Compiler, Linker, Debugger etc.)
❑ Echtzeitbetriebssysteme
❑ andere: ____________

Bauelemente:
❑ Prozessoren
❑ Controller
❑ Programmierbare Logik
❑ Speicherbausteine
❑ Displays
❑ Sensoren
❑ Passive Bauelemente (Widerstände, Kondensatoren etc.)
❑ Steckverbinder
❑ Kabel
❑ Tastaturen
❑ Gehäuse
❑ andere: ____________

OEM-Pheripherie:
❑ PC-Erweiterungskarten
❑ Motherboards
❑ Laufwerke
❑ Monitore
❑ Tastaturen
❑ Drucker
❑ andere: ____________

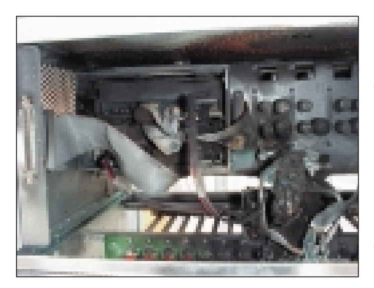
Automatisierungstechnik:
❑ Feldbus-Komponenten
❑ Steuerungen
❑ Sensoren/Aktoren
❑ Industrie-PCs
❑ VMEbus
❑ Bildverarbeitung
❑ Fuzzy-Technologie
❑ andere: ____________

Meßtechnik:
❑ PC-Meßtechnik
❑ Meßtechnik-Software
❑ Oszilloskope
❑ Kommunikationsmeßtechnik
❑ EMV-Meßtechnik
❑ Meßwerterfassung
❑ andere: ____________

Damit Hersteller und Anbieter von Produkten, für die ich mich interessiere, meine Kennziffernanfragen so gezielt wie möglich beantworten können, bin ich damit einverstanden, daß diese Daten elektronisch gespeichert und weitergegeben werden.

______________________ ______________________
Ort, Datum Unterschrift

NEBS-Tests und Compact-PCI-Systemdesign



Das »Network-Equipment-Building-System« (NEBS) wurde eingeführt, um sicherzustellen, dass Computer und andere Hardware, die in Central-Offices von Telefongesellschaften Anwendung finden, fortlaufenden Betrieb auch unter extremen Umweltbedingungen – z.B. Erdbeben, Feuer, Blitzschlag und Luftverschmutzung – gewährleisten. Codifiziert durch Telcordia (vormals Bellcore), wird NEBS von allen nordamerikanischen Telefongesellschaften und vielen Unternehmen aus Übersee als Basisstandard akzeptiert, um die Zuverlässigkeit der Hardware-Ausstattung zu gewährleisten. Zwei Dinge sind für NEBS besonders wichtig. Erstens gibt es keinen »Königsweg«, um ein NEBS-konformes System zu konfigurieren, weil NEBS keine Entwicklungsspezifikationen per se anbietet. Es ist vielmehr eine Sammlung von Empfehlungen und Kriterien, die das Systemdesign beeinflussen.

Industrielle Kommunikation

Zur Übertragung von Informationen in der Automatisierung werden überwiegend Feldbusse verwendet. Diese Feldbusse, z.B. CAN-Bus, Interbus, Profibus, ARCnet und LON, dienen im Allgemeinen dazu, komplexe Anlagen zu steuern und zu überwachen. Um diese Anlagen und Systeme auch dezentral steuern zu können, befindet sich über der Feldbusebene noch eine Leitebene, die diese Aufgabe übernimmt. Mit dem Siegeszug des Internets/Intranets wurde die Idee geboren, diese Systeme über das Internet zu steuern. Dazu soll in letzter Konsequenz das im Internet verwendete Protokoll TCP/IP eingesetzt werden. Dann würde ein einheitliches Protokoll in der Büro- und Industriewelt Verständigungsprobleme vermeiden. Die ersten Firmen, die diesen Weg einschlagen, kommen bereits mit Produkten auf den Markt. Ob das Ethernet die traditionellen Feldbusse wirklich weitgehend ablösen kann, wird in unserem Schwerpunkt »Industrielle Kommunikation« in der nächsten Ausgabe diskutiert.

Industrietaugliche Ethernet-Netze



Für den flexiblen und kostengünstigen Aufbau von industriellen Ethernet-Netzwerken steht heute eine umfangreiche Palette von Rail-Hubs, Rail-Switches und Rail-Transceivern zur Verfügung. Die auf Hutschienen montierbaren Geräte bilden eine standardkonforme Lösung für alle Automatisierungs- und Steuerungsebenen. Sie sind dank ihrer Redundanzmechanismen ausfallsicher und aufgrund der Plug-and-Play-Fähigkeit leicht zu installieren. Speziell im industriellen Umfeld müssen Ethernet- und Fast-Ethernet-Produkte hochverfügbar sein und extremen Bedingungen wie elektromagnetischen Störfeldern, hohen Betriebstemperaturen sowie mechanischen Beanspruchungen standhalten. Mit robusten Geräten lässt sich auf der Basis von Glasfaser- und Kupferverkabelung ein redundantes, ausfallsicheres Datennetz aufbauen, über das sich die Vorteile von Ethernet mit dem TCP/IP-Kommunikationsprotokoll nutzen lassen. Dabei erleichtert die Plug-and-Play-Fähigkeit der Geräte die in einer Produktionsumgebung geforderte einfache Installation.

Die nächste Ausgabe erscheint am 17.03.2000

Ausgabe Nummer	Erscheinungs-termine/Messen	Schwerpunktthema	Elektronik-Focus (Einkaufsführer & Produktnews)	Redaktions-schluß	Anzeigen-schluß
4/00	14.04.00	**Electronic Design Automation** Chip-Design-Tools, Systementwicklungswerkzeuge, Layout-Tools, Verifikations-Werkzeuge, Simulatoren, IP-Cores etc. **Marktübersicht: EDA-Tools**	**Leistungselektronik-Komponenten** IGBTs, Leistungstransistoren, Thyristoren, Leistungs-MOSFETs, etc. **MÜ: Leistungselektronik**	03.03.00	22.03.00
5/00	15.05.00 ***DAC 06.06. - 09. 06. 2000 Los Angeles***	**Embedded-Entwicklung** Entwicklungssysteme, Emulatoren, Compiler, Debugger, Linker, Loader, Embedded-Prozessoren und -Controller, EDA-Tools, Embedded Internet etc. **Marktübersicht: Mikroprozessor-Entwicklungs-Tools** **Forumsgespräch: Trends bei Entwicklungs-Tools**	**Automotive-Komponenten** Mikrocontroller, CAN-Bausteine, LEDs, Displays, etc. **MÜ: Mikrocontroller**	03.04.00	17.04.00
6/00	20.06.00	**Software-Entwicklungs-Tools** Java, C/C++, Betriebssysteme, Windows CE, Embedded NT, Software-Entwicklungs-Tools, Debugger, Compiler etc. **Marktübersicht: Software-Entwicklungs-Tools**	**Digitale Signalprozessoren** DSPs, DSP-Module, DSP-Entwicklungs-Tools, etc. **MÜ: DSPs und DSP-Module**	09.05.00	24.05.00
Ständige Rubriken: Chip-Design – Board-Design – System-Design					